

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-198616

(43)Date of publication of application : 12.07.2002

(51)Int.Cl.

H01S 5/227

G02B 6/13

H01L 21/308

(21)Application number : 2000-393318

(71)Applicant : FUJITSU QUANTUM DEVICES  
LTD

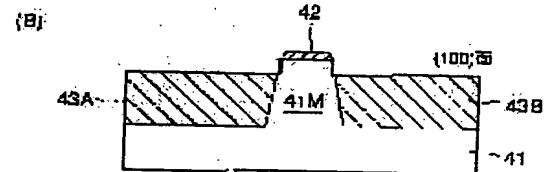
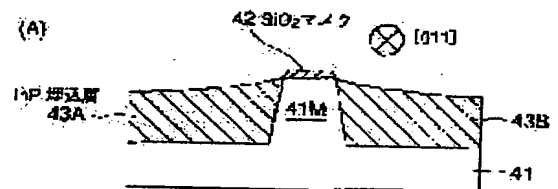
(22)Date of filing : 25.12.2000

(72)Inventor : WATANABE TAKAYUKI  
ITO HIROAKI  
FUJII TAKUYA(54) METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE, AND METHOD OF  
MANUFACTURING OPTICAL WAVEGUIDE

(57)Abstract:

PROBLEM TO BE SOLVED: To planarize a step that is  
formed along with the growth of an InP layer.SOLUTION: A wet etching process using an etchant  
containing at least hydrochloric acid and acetic acid is  
applied to the grown InP layer.

(A) 図は本発明の原理を説明するさらに別の図



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-198616

(P2002-198616A)

(43)公開日 平成14年7月12日(2002.7.12)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード(参考)

H 0 1 S 5/227

H 0 1 S 5/227

2 H 0 4 7

G 0 2 B 6/13

H 0 1 L 21/308

C 5 F 0 4 3

H 0 1 L 21/308

G 0 2 B 6/12

M 5 F 0 7 3

審査請求 有 請求項の数40 O L (全 31 頁)

(21)出願番号 特願2000-393318(P2000-393318)

(22)出願日 平成12年12月25日(2000.12.25)

(71)出願人 000154325

富士通量子デバイス株式会社

山梨県中巨摩郡昭和町大字紙漣阿原1000番地

(72)発明者 渡辺 孝幸

山梨県中巨摩郡昭和町大字紙漣阿原1000番地 富士通量子デバイス株式会社内

(72)発明者 伊藤 浩明

山梨県中巨摩郡昭和町大字紙漣阿原1000番地 富士通量子デバイス株式会社内

(74)代理人 100070150

弁理士 伊東 忠彦

最終頁に続く

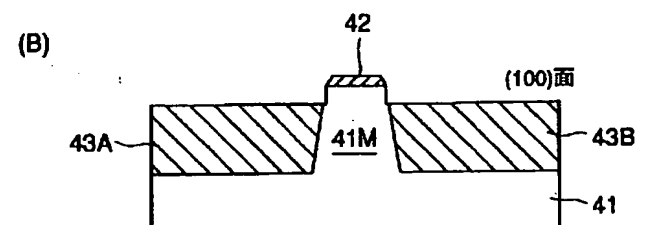
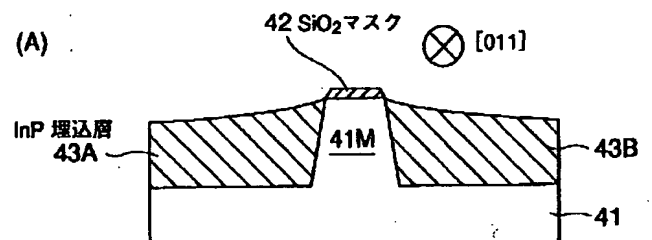
(54)【発明の名称】 半導体装置の製造方法および光導波路の製造方法

(57)【要約】

【課題】 InP層の成長に伴い形成された段差を平坦化する。

【解決手段】 成長されたInP層に、少なくとも塩酸と酢酸とを含むエッチャントを使ったウェットエッチング工程を適用する。

(A),(B)は本発明の原理を説明するさらに別の図



#### 【特許請求の範囲】

【請求項1】 成長開始面上にInP層を、前記InP層が段差形状を有するように成長する工程と、前記InP層に対して塩酸と酢酸とを含むエッチャントを使ったウェットエッチングを行い、前記InP層の表面を平坦化する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 前記成長工程は、前記段差形状が前記成長開始面の初期段差に対応して生じるように実行されることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記成長開始面の初期段差はメサ形状であることを特徴とする請求項2記載の半導体装置の製造方法。

【請求項4】 前記成長開始面の初期段差は、ステップ形状であることを特徴とする請求項2記載の半導体装置の製造方法。

【請求項5】 前記成長開始面は平坦面で、部分的に選択成長マスクを有し、前記成長工程は、前記段差形状が前記選択成長マスクに対応して形成されることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項6】 前記平坦化工程は、前記InP層が前記平坦化工程の結果、(100)面および(011)面および(0-1-1)面のいずれかよりなる平坦化面を有するように実行されることを特徴とする請求項1～5のうち、いずれか一項記載の半導体装置の製造方法。

【請求項7】 前記平坦化工程は、前記InP層が前記平坦化工程の結果、前記平坦化工程前に比べて(100)面および(011)面および(0-1-1)面のいずれかにより近づいた面よりなる平坦化面を有するように実行されることを特徴とする請求項1～5のうち、いずれか一項記載の半導体装置の製造方法。

【請求項8】 前記成長工程は、前記成長開始面の最も高い位置よりも低いInP層表面を有するように実行され、前記平坦化工程は、前記InP層が前記平坦化工程の後、前記基板表面から測って前記InP層の最も低い位置に対応した高さの平坦化面を有するように実行されることを特徴とする請求項1～7のうち、いずれか一項記載の半導体装置の製造方法。

【請求項9】 前記成長工程は、前記成長開始面の最も高い位置と同等か、それ以上に高いInP層表面を有するように実行され、前記平坦化工程は、前記InP層が前記平坦化工程の後、前記基板表面から測って前記成長開始面の最も高い位置に対応した高さの平坦化面を有するように実行されることを特徴とする請求項1～7のうち、いずれか一項記載の半導体装置の製造方法。

【請求項10】 前記成長開始面は、前記初期段差の一部に選択成長マスクを有し、前記InP層を成長する工程は、前記InP層の段差形状が、前記選択成長マスクの縁に対応して形成されるように実行されることを特徴

とする請求項2記載の半導体装置の製造方法。

【請求項11】 前記InP層を成長する工程は、前記InP層の段差形状が、前記成長開始面上において前記初期段差の側面に沿ってスロープ領域を形成するように実行されることを特徴とする請求項2記載の半導体装置の製造方法。

【請求項12】 前記InP層を成長する工程は、前記InP層の段差形状が、前記InP層が前記成長開始面上において前記初期段差を覆い形成されるように実行されることを特徴とする請求項2記載の半導体装置の製造方法。

【請求項13】 前記エッチャントは塩酸と酢酸とを、塩酸に比べて酢酸が20倍以下の濃度になるように含むことを特徴とする請求項1～12のうち、いずれか一項記載の半導体装置の製造方法。

【請求項14】 前記エッチャントは、さらに水または過酸化水素水の少なくとも一つからなる追加剤を含むことを特徴とする請求項1～13のうち、いずれか一項記載の半導体装置の製造方法。

【請求項15】 前記追加剤は、前記エッチャント中に過酸化水素水を、塩酸と酢酸に対して塩酸の30%以下の濃度で追加することを特徴とする請求項14記載の半導体装置の製造方法。

【請求項16】 前記追加剤は、水よりなることを特徴とする請求項14記載の半導体装置の製造方法。

【請求項17】 前記追加剤は、水と過酸化水素水よりなることを特徴とする請求項14記載の半導体装置の製造方法。

【請求項18】 選択エッチングマスクを担持し、前記選択エッチングマスクよりも低い表面領域を有し、表面に段差部を有するInP層に対して、塩酸と酢酸を含むエッチャントによるエッチングを行い、前記選択エッチングマスク下の領域を除き、前記InP層の表面を平坦化することを特徴とする半導体装置の製造方法。

【請求項19】 前記InP層の段差形状は、成長開始面上の初期段差部に対応して形成されることを特徴とする請求項18記載の半導体装置の製造方法。

【請求項20】 前記選択エッチングマスクは前記初期段差部の上部に設けられることを特徴とする請求項19記載の半導体装置の製造方法。

【請求項21】 前記選択エッチングマスクは前記InP層上の段差部表面に設けられたものであることを特徴とする請求項18記載の半導体装置の製造方法。

【請求項22】 前記選択エッチングマスクは、絶縁材料およびInPを除く化合物半導体よりなる群から選ばれることを特徴とする請求項18～21記載の半導体装置の製造方法。

【請求項23】 前記選択エッチングマスクは、酸化シリコン、窒化シリコン、InGaAs、InGaAsP、AlGaInP、AlGaAs、GaInNAsの

いずれかよりなることを特徴とする請求項22記載の半導体装置の製造方法。

【請求項24】 前記エッチャントは塩酸と酢酸とを、塩酸に対して酢酸が20倍以下の濃度になるように含むことを特徴とする請求項18～23のうち、いずれか一項記載の半導体装置の製造方法。

【請求項25】 前記エッチャントは、さらに水および過酸化水素水の少なくとも一つからなる追加剤を含むことを特徴とする請求項18～24のうち、いずれか一項記載の半導体装置の製造方法。

【請求項26】 前記追加剤は、塩酸と酢酸に対して過酸化水素水を、塩酸の30%以下の濃度で添加されることを特徴とする請求項25記載の半導体装置の製造方法。

【請求項27】 前記追加剤は、水よりなることを特徴とする請求項25記載の半導体装置の製造方法。

【請求項28】 n型のInP基板上に、n型InPの第1の半導体層と、InPよりもバンドギャップの小さい第2の半導体層と、p型InPよりなる第3の半導体層と、InGaAsおよびInGaAsPのいずれかよりなる第4の半導体層とを順次積層することにより、前記第1～第4の半導体層を含む積層半導体構造を形成する工程と、  
前記積層半導体構造上に対してエッチングを行うことにより、少なくとも前記第2～第4の半導体層を含む部分にメサストライプを形成する工程と、  
前記メサストライプを形成されたInP基板上にInPよりなる第5の半導体層を、前記基板表面から測った位置がその最も低い表面部分でも前記第4の半導体層よりも高くなるように積層する工程と、  
前記第5の半導体層の表面をエッチングする工程とよりなる半導体装置の製造方法において前記第5の半導体層の表面をエッチングする工程は、塩酸と酢酸とを含むエッチャントを使って実行されることを特徴とする半導体装置の製造方法。

【請求項29】 n型のInP基板上に、n型InPよりなる第1の半導体層と、InPよりもバンドギャップエネルギーの小さい第2の半導体層と、p型InPよりなる第3の半導体層と、InGaAsおよびInGaAsPのいずれかよりなる第4の半導体層とを順次積層し、積層半導体構造を形成する工程と、  
前記積層半導体構造に対してエッチングを行うことにより、少なくとも前記第2～第4の半導体層を含むメサストライプを形成する工程と、  
メサストライプを形成されたInP基板上に、前記メサストライプを覆うように、InPよりなる第5半導体層を、前記基板表面から測った高さがその最も低い表面部分でも第4の半導体層よりも高くなるように積層する工程と、  
前記第5の半導体層の表面をエッチングする工程とより

なる半導体装置の製造方法において前記第5の半導体層をエッチングする工程は、塩酸と酢酸とを含むエッチャントを使って実行されることを特徴とする半導体装置の製造方法。

【請求項30】 n型InP基板上に、n型InPよりなる第1の半導体層と、InPよりもバンドギャップの小さい第2の半導体層と、p型InPよりなる第3の半導体層とを順次積層し、積層半導体構造を形成する工程と、  
前記積層半導体構造上に保護パターンを形成し、前記保護パターンをマスクに前記積層半導体構造に対してエッチングを行い、少なくとも前記第2および第3の半導体層を含むメサストライプを形成する工程と、  
前記メサストライプを形成された基板上に、p型InPよりなる第4の半導体層を、前記基板表面から測った高さがその最も低い部分で前記第2の半導体層の上面よりも高く、前記第3の半導体層よりは低くなるように積層する工程と、  
前記第4の半導体層をエッチングする工程と、  
前記第4の半導体層上にn型InPよりなる第5の半導体層を積層する工程と、  
前記メサストライプの形成工程でマスクとして使われた前記保護パターンをエッチングにより除去する工程と、  
前記第3の半導体層および第5の半導体層上に、p型InPよりなる第6の半導体層とInGaAsおよびInGaAsPのいずれかよりなる第7の半導体層とを順次積層する工程とよりなる半導体装置の製造方法において前記第4の半導体層の表面をエッチングする工程は、塩酸と酢酸とを含むエッチャントを使って実行されることを特徴とする半導体装置の製造方法。

【請求項31】 n型InP基板上に、n型InPよりなる第1の半導体層と、InPよりもバンドギャップの小さい第2の半導体層と、p型InPよりなる第3の半導体層と、InGaAsおよびInGaAsPのいずれかよりなる第4の半導体層とを順次積層し、積層半導体構造を形成する工程と、  
前記積層半導体構造上に保護パターンを形成し、前記保護パターンをマスクとしたエッチングにより少なくとも前記第2～第4の半導体層を含むメサストライプを形成する工程と、  
前記保護パターンをエッチングにより除去する工程と、  
前記メサストライプを形成された基板上に、前記メサストライプを含むように、p型InPよりなる第5の半導体層を、前記基板表面から測った高さがその最も低い部分で前記第2の半導体層より高く、前記第4の半導体層よりも低く積層する工程と、  
前記第5の半導体層の表面をエッチングする工程と、  
n型InPよりなる第6の半導体層を、前記基板表面から測った高さがその最も低い部分で前記第4の半導体層の高さよりも低くなるように積層する工程と、

前記第6の半導体層の表面をエッチングする工程と、  
前記第6の半導体層上にp型InPよりなる第7の半導体層を、前記基板表面から測った高さがその最も低い部分で前記第4の半導体層の高さよりも高くなるように積層する工程と、  
前記第7の半導体層の表面をエッチングする工程とよりなる半導体装置の製造方法において前記第5、第6および第7の半導体層の表面をエッチングする工程は、塩酸と酢酸とを含むエッチャントを使って実行されることを特徴とする半導体装置の製造方法。  
【請求項32】 n型InP基板上に、n型InPよりなる第1の半導体層と、InPよりバンドギャップエネルギーの小さい第2の半導体層と、p型InPよりなる第3の半導体層と、InGaAsおよびInGaAsPのいずれかよりなる第4の半導体層とを順次積層し、半導体積層構造を形成する工程と、  
前記半導体積層構造上に保護パターンを形成し、前記保護パターンをマスクに前記半導体積層構造をエッチングすることにより、少なくとも前記第2～第4の半導体層を含むメサストライプを形成する工程と、  
前記保護パターンをエッチングにより除去する工程と、  
前記メサストライプを形成された基板上に、前記メサストライプを含むように、p型InPよりなる第5の半導体層を、前記基板表面から測った高さがその最も低い部分でも前記第2の半導体層よりも高く、前記第4の半導体層よりは低くなるように積層する工程と、  
前記第5の半導体層の表面をエッチングする工程と、  
前記第5の半導体層上にn型InPよりなる第6の半導体層とp型InPよりなる第7の半導体層とを順次積層する工程と、  
前記第7の半導体表面をエッチングする工程と、  
第4の半導体層をエッチングにより除去する工程と、  
p型InPよりなる第8の半導体層と、InGaAsおよびInGaAsPのいずれかよりなる第9の半導体層とを順次積層する工程を含む半導体装置の製造方法において、  
前記第5の半導体層をエッチングする工程と前記第7の半導体層をエッチングする工程とは、塩酸と酢酸とを含むエッチャントを使って実行されることを特徴とする半導体装置の製造方法。  
【請求項33】 n型InP基板上に、n型InPよりなる第1の半導体層と、InPよりバンドギャップの小さい第2の半導体層と、p型InPよりなる第3の半導体層と、InGaAsおよびInGaAsPのいずれかよりなる第4の半導体層とを順次積層し、積層半導体構造を形成する工程と、  
前記積層半導体構造をエッチングすることにより、少なくとも前記第2～第4の半導体層を含むメサストライプを形成する工程と、  
前記メサストライプを形成された基板上に、前記メサス

トライプを含むようにp型InPよりなる第5の半導体層を、前記メサストライプと接する部分で前記第2の半導体層より高く、前記第4の半導体層よりも低く積層する工程と、  
前記第5の半導体層上にp型InPよりなる第6の半導体層を積層する工程と、  
前記第6の半導体層の表面をエッチングする工程とよりなる半導体装置の製造方法において、  
前記第6の半導体層の表面をエッチングする工程は、塩酸と酢酸とを含むエッチャントを使って実行されることを特徴とする半導体装置の製造方法。  
【請求項34】 n型InP基板上に、n型InPよりなる第1の半導体層と、InPよりバンドギャップの小さい第2の半導体層と、p型InPよりなる第3の半導体層と、InGaAsおよびInGaAsPのいずれかよりなる第4の半導体層とを順次積層し、積層半導体構造を形成する工程と、  
前記積層半導体構造上に保護パターンを形成し、前記保護パターンをマスクに前記積層半導体構造をエッチングすることにより、前記第3半導体層および第4の半導体層を含むメサストライプを形成する工程と、  
前記保護層をエッチングにより除去する工程と、  
前記メサストライプを形成された基板上に、n型InPよりなる第5の半導体層を、前記基板表面から測った高さがその最も低い部分で第4半導体層よりも低くなるように積層する工程と、  
前記第5の半導体層の表面をエッチングする工程と、  
前記第5の半導体層上にp型InP層の第6半導体層を、前記基板表面から測った高さがその最も低い部分でも前記第4の半導体層よりも高くなるように積層する工程と、  
前記第6の半導体層の表面をエッチングする工程とよりなる半導体装置の製造方法において前記第5および第6の半導体層をエッチングする工程は、塩酸と酢酸とを含むエッチャントを使って実行されることを特徴とする半導体装置の製造方法。  
【請求項35】 n型InP基板上に、n型InPよりなる第1の半導体層と、InPよりバンドギャップの小さい第2の半導体層と、p型InPよりなる第3の半導体層と、InGaAsおよびInGaAsPのいずれかよりなる第4の半導体層とを順次積層して積層半導体構造を形成する工程と、  
前記積層半導体構造をエッチングすることにより、前記第3の半導体層と第4の半導体層とを含むメサストライプを形成する工程と、  
前記メサストライプを形成された基板上に、n型InPよりなる第5の半導体層を、前記基板表面から測った高さがその最も高い部分でも前記第4の半導体層よりも低くなるように積層する工程と、  
前記第5の半導体の表面をエッチングする工程と、

前記第5の半導体層上にp型InPよりなる第6の半導体層を、前記基板表面から測った高さがその最も低い部分でも前記第4の半導体層よりも高くなるように積層する工程と、

前記第6半導体表面をエッチングする工程とよりなる半導体装置の製造方法において前記第5および第6の半導体の表面をエッチングする工程は、塩酸と酢酸を含むエッチャントを使って実行されることを特徴とする半導体装置の製造方法。

【請求項36】 InP基板上にInPよりなる第1の半導体層と、これより屈折率の大きい第2の半導体層と、InPよりなる第3の半導体層とをこの順序で積層し、積層半導体構造を形成する工程と、  
前記積層半導体構造上に保護パターンを形成し、前記保護パターンをマスクとした前記積層半導体構造のエッチングにより、少なくとも前記第2および第3の半導体層を含むメサパターンを形成する工程と、  
前記メサパターンを形成された前記InP基板上に、InPよりなる第4の半導体層を、前記メサパターンが前記保護パターンを担持した状態で積層する工程と、  
前記第4の半導体層の表面を、前記メサパターンが前記保護パターンを担持した状態でエッチングする工程と、  
前記保護パターンを除去する工程と、  
InPよりなる第5の半導体層を積層する工程とよりなる光導波路の製造方法において前記第4の半導体層の表面をエッチングする工程は、塩酸と酢酸を含むエッチャントにより実行されることを特徴とする光導波路の製造方法。

【請求項37】 InP基板上に、InPよりなる第1の半導体層と、InPより屈折率の大きい第2の半導体層と、InPよりなる第3の半導体層と、InGaAsまたはInGaAsPのいずれかよりなる第4の半導体層とを順次積層し、積層半導体構造を形成する工程と、  
前記積層半導体構造をエッチングすることにより、少なくとも前記第2～第4の半導体層を含むメサパターンを形成する工程と、  
前記メサパターンを形成された基板上に、InPよりなる第5の半導体層を、前記メサパターンを覆うように積層する工程と、  
前記第5の半導体層の表面をエッチングする工程とよりなる光導波路の製造方法において前記第5の半導体層の表面エッチングする工程は、塩酸と酢酸を含むエッチャントにより実行されることを特徴とする光導波路の製造方法。

【請求項38】 InP基板上に選択成長マスクを形成する工程と、  
前記選択成長マスクを形成されたInP基板上に、気相堆積工程により、InPよりなる第1の半導体層と、InPよりバンドギャップの小さい第2の半導体層と、InPよりなる第3の半導体層とを順次積層して積層半導

体パターンを形成する工程と、

前記第3半導体層の表面をエッチングする工程とよりなる半導体装置の製造方法において第3の半導体層の表面をエッチングする工程は、塩酸と酢酸を含むエッチャントにより実行されることを特徴とする半導体装置の製造方法。

【請求項39】 InP基板上に選択成長マスクを形成する工程と、  
前記InP基板表面のうち、前記選択成長マスクで被覆しない領域をエッチングし、溝を形成する工程と、  
前記基板上に、前記選択成長マスクを形成した状態で、InPよりなる第1の半導体層と、InPよりバンドギャップの小さい第2の半導体層と、InPよりなる第3の半導体層を順次積層して積層半導体構造を形成する工程と、  
前記選択成長マスクを除去する工程と、  
前記第3の半導体層の表面をエッチングする工程とよりなる半導体装置の製造方法において第3半導体の表面をエッチングする工程は、塩酸と酢酸を含むエッチャントを使って実行されることを特徴とする半導体装置の製造方法。

【請求項40】 InP基板上に、InPよりなる第1の半導体層と、InPよりバンドギャップの小さい第2の半導体層と、InPよりなる第3の半導体層とを順次積層して第1の積層半導体構造を形成する工程と、  
前記第1の積層半導体構造上に第1の保護パターンを形成し、前記第1の保護パターンをマスクに前記第1の積層半導体構造をエッチングすることにより、少なくとも前記第2および第3の半導体層を含む第1のメサストライプを形成する工程と、  
前記第1のメサストライプを形成された基板上に高抵抗InPよりなる第4の半導体層を、前記第1のメサストライプ上に前記第1の保護パターンを残した状態で積層する工程と、  
前記第4の半導体層の表面をエッチングする工程と、  
前記第1の保護パターンを除去する工程と、  
前記第4の半導体層上に、InPよりなる第5の半導体層と、InPよりバンドギャップの小さい第6の半導体層と、InPよりなる第7の半導体層とを順次積層し、  
第2の積層半導体構造を形成する工程と、  
前記第2の積層半導体構造上に第2の保護パターンを形成し、前記積層半導体構造を前記第1の保護パターンをマスクにエッチングすることにより、少なくとも前記第6の半導体層および第7の半導体層を含む第2のメサストライプを形成する工程と、  
前記第2のメサストライプが形成された基板上にInPよりなる第8の半導体層を、前記第2のメサストライプ上に前記第2の保護パターンを残した状態で積層する工程と、  
前記第8半導体表面をエッチングする工程と、

前記第2の保護層をエッチングにより除去する工程とをよりなる多層光導波路の製造方法において前記第4および第8の半導体の表面をエッチングする工程は、塩酸と酢酸を含むエッチャントを使って実行されることを特徴とする多層光導波路の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は一般に化合物半導体装置に係り、特に光通信や光情報処理に用いられる光半導体素子の製造方法に関する。

【0002】化合物半導体は光と相互作用する直接遷移型のバンド構造を有し、このため化合物半導体を使った光半導体装置は、光通信や光情報処理の分野において広く使われている。特にInP系の化合物半導体装置、特にレーザダイオードは、光ファイバ中を伝送される1.3あるいは1.55  $\mu\text{m}$  帯の波長の光信号を形成することができるため重要である。

##### 【0003】

【従来の技術】かかるレーザダイオードでは、レーザ発振効率を向上させるために、注入されたキャリアを軸方向の限られた領域に閉じ込める電流狭搾構造を設けることが必須である。さらにレーザダイオードでは誘導放出によりレーザ発振が生じるため、かかるキャリアを閉じ込めた領域に、光をも効率的に閉じ込める必要がある。InP系のレーザダイオードでは、光を導波するInGaAsPコアとInP埋込層との屈折率差によって、水平方向の光閉じ込めを実現する。

【0004】図1(A)～(D)は、電流および光狭搾構造として埋込ヘテロ構造(BH構造)を有するレーザダイオード10の製造工程を示す。

【0005】図1(A)を参照するに、n型InP基板11上にはInGaAs層とInGaAsP層とを繰り返し積層した多重量子井戸層12が形成され、さらに前記多重量子井戸層12上にはp型InPクラッド層13とp型InGaAsコンタクト層14とが順次形成される。

【0006】次に図1(B)の工程において前記コンタクト層14上にSiO<sub>2</sub>膜15をエッチング保護膜として形成し、さらにかかる構造に対してドライエッチングを行うことにより、活性層メサストライプを形成する。図示の例では、前記メサストライプは<011>方向に延在している。

【0007】次に図1(C)の工程において前記SiO<sub>2</sub>膜15を選択成長マスクとして使い、Feドープした高抵抗InP埋込層16A、16Bを有機金属気相成長(MOVPE; Metal Organic Vapor Phase Epitaxy法)により、前記メサストライプの両側に結晶成長する。かかるInP埋込層16A、16Bの再成長工程においては成長停止面である(111)B面が発達し、その結果マスク縁において埋込層が符号16aあるいは16bで

示すように盛り上がる成長形状が得られる。

【0008】最後に図1(D)の工程において前記SiO<sub>2</sub>膜15が除去され、前記コンタクト層14上にp側電極17が、基板11の下面にn側電極18が形成される。

##### 【0009】

【発明が解決しようとする課題】このように、SiO<sub>2</sub>膜15を選択成長マスクとしたInP層16A、16Bの埋込成長では、先にも説明したように、前記SiO<sub>2</sub>膜15の縁に対応する領域16a、16bにおいてInP層16Aおよび16Bが盛り上がるのが避けられない。この原因は、前記SiO<sub>2</sub>マスク15上で結晶成長が生じないことに起因してSiO<sub>2</sub>膜15上において原料濃度が局所的に増加し、前記メサ領域の両側で成長しているInP層16Aあるいは16Bの表面に原料が過剰供給される為である。例えば図1(C)の工程において、メサストライプの高さを約1.5  $\mu\text{m}$ とした場合、マスク縁の領域16a、16bにおいて前記InP埋込層16A、16Bは約0.7  $\mu\text{m}$ の高さ程度盛り上がる。

【0010】先に説明したように図1(D)の工程ではp側電極17かかる段差表面上に形成することになるが、前記p側電極17をTi膜、Pt膜およびAu膜のスパッタリングにより順次形成した場合、Ti膜およびPt膜はそれぞれ0.1  $\mu\text{m}$ 程度の厚さしかないので、図2に示したように、下地形の段差を反映して凹凸部分17aで電極層が途切れる問題が生じる。かかる電極の途切れが生じると電流注入が不均一なり、デバイスの電気的劣化を引き起こす。

【0011】また近年、レーザダイオードと導波路、受光素子および光機能素子を素子内で集積化した光集積回路素子が重要な光半導体デバイスとして注目されているが、かかる光集積回路素子では、メサストライプが<011>以外の方向に延在したり、ストライプに分岐点が存在したりする場合がある。図1(C)のように<011>方向のストライプの埋込成長を行うと、(111)B面が成長停止面として発達するが、一方で、かかる光集積回路素子の埋込成長では特定の成長停止面が無いことに起因して、図3(A)～(C)に示すように、埋込層がSiO<sub>2</sub>マスク膜上に延在するオーバーハングが生じることがある。ただし図3(A)はかかる光導波路の斜視図を、図3(B)は断面図を、さらに図3(C)は部分拡大図を示す。

【0012】図3(A)～(C)を参照するに、InP基板21上には前記基板21を露出する開口部を有するSiO<sub>2</sub>パターン22が形成されており、さらにかかるSiO<sub>2</sub>パターン22をマスクに、前記露出されたInP基板21の表面上にInP埋込層23が再成長により形成されている。その際、前記InP埋込層23は先の(111)B面のような成長停止面が存在しないため、

図3(C)の拡大図に示すように前記SiO<sub>2</sub>パターン22中の開口部を超えて側方に成長し、その結果オーバーハング部23Aが形成される。

【0013】図3(A)～(C)の構成において、SiO<sub>2</sub>マスク22を除去後に再びInP層24を成長すると、前記オーバーハング部23A直下の部分に原料ガスが到達せず、その結果図4に示すように空洞23Bが生じてしまうことがある。このような空洞23BはInP層23と屈折率が極端に異なるので、前記導波路中を導波される光を散乱し、光損失を生じる。

【0014】図5(A)～(D)は、基板31上においてメサストライプ31Mが<011>方向以外の方角に延在しているレーザダイオードにおいて、前記メサストライプ31Mの両側にInP埋込層32A、32Bを、前記メサストライプ31M上に形成されたSiO<sub>2</sub>膜33を選択成長マスクとして成長させる場合の問題点を説明する図である。

【0015】図5(A)の例では前記メサストライプ31Mは<011>方向から<010>方向に10°オフセットした方向に延在しており、図5(B)の拡大図に示すように前記InP埋込層32A、32Bは成長停止面が存在しないため前記SiO<sub>2</sub>マスク33上にまでせり出し、オーバーハングを形成している。

【0016】かかる構造において前記SiO<sub>2</sub>マスク33をエッチングにより除去し、さらに図5(C)に示すようにInP層34を前記InP埋込層32A、32Bおよびメサストライプ31Mを覆うように堆積した場合には、図5(D)に示すように前記InP埋込層32A、32Bのオーバーハング直下の領域に気相原料が十分に供給されず、空洞32a、32bが形成されることがある。

【0017】そこで本発明は上記の課題を解決した、新規で有用な半導体装置の製造方法を提供することを概括的課題とする。

【0018】本発明のより具体的な課題は、段差形状を有するInP層を、成長後に平坦化することのできる半導体装置の製造方法を提供することにある。

【0019】  
【課題を解決するための手段】本発明は上記の課題を、請求項1に記載したように、成長開始面上にInP層を、前記InP層が段差形状を有するように成長する工程と、前記InP層に対して塩酸と酢酸とを含むエッチャントを使ったウェットエッチングを行い、前記InP層の表面を平坦化する工程とを含むことを特徴とする半導体装置の製造方法により、または請求項2に記載したように、前記成長工程は、前記段差形状が前記成長開始面の初期段差に対応して生じるように実行されることを特徴とする請求項1記載の半導体装置の製造方法により、または請求項3に記載したように、前記成長開始面の初期段差はメサ形状であることを特徴とする請求項2

記載の半導体装置の製造方法により、または請求項4に記載したように、前記成長開始面の初期段差は、ステップ形状であることを特徴とする請求項2記載の半導体装置の製造方法により、または請求項5に記載したように、前記成長開始面は平坦面で部分的に選択成長マスクを有し、前記段差形状は前記選択成長マスクに対応して形成されることを特徴とする請求項1記載の半導体装置の製造方法により、または請求項6に記載したように、前記平坦化工程は、前記InP層が前記平坦化工程の結果、(100)面および(011)面および(0-1-1)面のいずれかよりなる平坦化面を有するように実行されることを特徴とする請求項1～5のうち、いずれか一項記載の半導体装置の製造方法により、または請求項7に記載したように、前記平坦化工程は、前記InP層が前記平坦化工程の結果、前記平坦化工程前に比べて(100)面および(011)面および(0-1-1)面のいずれかにより近づいた面よりなる平坦化面を有するように実行されることを特徴とする請求項1～5のうち、いずれか一項記載の半導体装置の製造方法により、または請求項8に記載したように、前記成長工程は、前記成長開始面の最も高い位置よりも低いInP層表面を有するように実行され、前記平坦化工程は、前記InP層が前記平坦化工程の後、前記基板表面から測って前記InP層の最も低い位置に対応した高さの平坦化面を有するように実行されることを特徴とする請求項1～7のうち、いずれか一項記載の半導体装置の製造方法により、または請求項9に記載したように、前記成長工程は、前記成長開始面の最も高い位置と同等か、それ以上高いInP層表面を有するように実行され、前記平坦化工程は、前記InP層が前記平坦化工程の後、前記基板表面から測って前記成長開始面の最も高い位置に対応した高さ以上の平坦化面を有するように実行されることを特徴とする請求項1～7のうち、いずれか一項記載の半導体装置の製造方法により、または請求項10に記載したように、前記成長開始面は、前記初期段差の一部に選択成長マスクを有し、前記InP層を成長する工程は、前記InP層の段差形状が、選択成長マスクの縁に対応して形成されるように実行されることを特徴とする請求項2記載の半導体装置の製造方法により、または請求項11に記載したように、前記InP層を成長する工程は、前記InP層の段差形状が、前記成長開始面上において前記初期段差の側面に沿ってスロー領域を形成するように実行されることを特徴とする請求項2記載の半導体装置の製造方法により、または請求項12に記載したように、前記InP層を成長する工程は、前記InP層の段差形状が、前記InP層が前記成長開始面上において前記初期段差を覆い形成されるように実行されることを特徴とする請求項2記載の半導体装置の製造方法により、または請求項13に記載したように、前記エッチャントは塩酸と酢酸とを、塩酸に比べて酢酸が20倍以上



・下の濃度になるように含むことを特徴とする請求項1～12のうち、いずれか一項記載の半導体装置の製造方法により、または請求項14に記載したように、前記エッチャントは、さらに水または過酸化水素水の少なくとも一つからなる追加剤を含むことを特徴とする請求項1～13のうち、いずれか一項記載の半導体装置の製造方法により、または請求項15に記載したように、前記追加剤は、前記エッチャント中に過酸化水素水を、塩酸と酢酸に対して塩酸の30%以下の濃度で追加することを特徴とする請求項14記載の半導体装置の製造方法により、または請求項16に記載したように、前記追加剤は、水よりなることを特徴とする請求項14記載の半導体装置の製造方法により、または請求項17に記載したように、前記追加剤は、水と過酸化水素水よりなることを特徴とする請求項14記載の半導体装置の製造方法により、または請求項18に記載したように、選択エッチングマスクを担持し、前記選択エッチングマスクよりも低い表面領域を有し、表面に段差部を有するInP層に対して、塩酸と酢酸を含むエッチャントによるエッチングを行い、前記選択エッチングマスク下の領域を除き、前記InP層の表面を平坦化することを特徴とする半導体装置の製造方法により、または請求項19に記載したように、前記InP層の段差形状は、成長開始面上の初期段差部に対応して形成されることを特徴とする請求項18記載の半導体装置の製造方法により、または請求項20に記載したように、前記選択エッチングマスクは前記初期段差部の上部に設けられることを特徴とする請求項19記載の半導体装置の製造方法により、または請求項21に記載したように、前記選択エッチングマスクは前記InP層上の段差部表面に設けられたものであることを特徴とする請求項18記載の半導体装置の製造方法により、または請求項22に記載したように、前記選択エッチングマスクは、絶縁材料およびInPを除く化合物半導体よりなる群から選ばれることを特徴とする請求項18～21記載の半導体装置の製造方法により、または請求項23に記載したように、前記選択エッチングマスクは、酸化シリコン、窒化シリコン、InGaAs、InGaAsP、AlGaInP、AlGaAs、GaInNAsのいずれかよりなることを特徴とする請求項22記載の半導体装置の製造方法により、または請求項24に記載したように、前記エッチャントは塩酸と酢酸とを、塩酸に対して酢酸が20倍以下の濃度になるように含むことを特徴とする請求項18～23のうち、いずれか一項記載の半導体装置の製造方法により、または請求項25に記載したように、前記エッチャントは、さらに水および過酸化水素水の少なくとも一つからなる追加剤を含むことを特徴とする請求項18～24のうち、いずれか一項記載の半導体装置の製造方法により、または請求項26に記載したように前記追加剤は、塩酸と酢酸に対して過酸化水素水を、塩酸の30%以下の濃度で添

加されることを特徴とする請求項25記載の半導体装置の製造方法により、または請求項27に記載したように、前記追加剤は、水よりなることを特徴とする請求項25記載の半導体装置の製造方法により、または請求項28に記載したように、n型のInP基板上に、n型InPの第1の半導体層と、InPよりもバンドギャップの小さい第2の半導体層と、p型InPよりなる第3の半導体層と、InGaAsおよびInGaAsPのいずれかよりなる第4の半導体層とを順次積層することにより、前記第1～第4の半導体層を含む積層半導体構造を形成する工程と、前記積層半導体構造上に対してエッチングを行うことにより、少なくとも前記第2～第4の半導体層を含む部分にメサストライプを形成する工程と、前記メサストライプを形成されたInP基板上にInPよりなる第5の半導体層を、前記基板表面から測った位置がその最も低い表面部分でも前記第4の半導体層よりも高くなるように積層する工程と、前記第5の半導体層の表面をエッチングする工程とよりなる半導体装置の製造方法において前記第5の半導体層の表面をエッチングする工程は、塩酸と酢酸とを含むエッチャントを使って実行されることを特徴とする半導体装置の製造方法により、または請求項29に記載したように、n型のInP基板上に、n型InPよりなる第1の半導体層と、InPよりもバンドギャップエネルギーの小さい第2の半導体層と、p型InPよりなる第3の半導体層と、InGaAsおよびInGaAsPのいずれかよりなる第4の半導体層とを順次積層し、積層半導体構造を形成する工程と、前記積層半導体構造に対してエッチングを行うことにより、少なくとも前記第2～第4の半導体層を含むメサストライプを形成する工程と、メサストライプを形成されたInP基板上に、前記メサストライプを覆うように、InPよりなる第5半導体層を、前記基板表面から測った高さがその最も低い表面部分でも第4の半導体層よりも高くなるように積層する工程と、前記第5の半導体層の表面をエッチングする工程とよりなる半導体装置の製造方法において前記第5の半導体層をエッチングする工程は、塩酸と酢酸とを含むエッチャントを使って実行されることを特徴とする半導体装置の製造方法により、または請求項30に記載したように、n型InP基板上に、n型InPよりなる第1の半導体層と、InPよりもバンドギャップの小さい第2の半導体層と、p型InPよりなる第3の半導体層とを順次積層し、積層半導体構造を形成する工程と、前記積層半導体構造上に保護パターンを形成し、前記保護パターンをマスクに前記積層半導体構造に対してエッチングを行い、少なくとも前記第2および第3の半導体層を含むメサストライプを形成する工程と、前記メサストライプを形成された基板上に、p型InPよりなる第4の半導体層を、前記基板表面から測った高さがその最も低い部分で前記第2の半導体層よりも高く、前記第3の半導体層の上面よりは低

くなるように積層する工程と、前記第4の半導体層をエッチングする工程と、前記第4の半導体層上にn型InPよりなる第5の半導体層を積層する工程と、前記メサストライプの形成工程でマスクとして使われた前記保護パターンをエッチングにより除去する工程と、前記第3の半導体層および第5の半導体層上に、p型InPよりなる第6の半導体層とInGaAsおよびInGaAsPのいずれかよりなる第7の半導体層とを順次積層する工程とよりなる半導体装置の製造方法において前記第4の半導体層の表面をエッチングする工程は、塩酸と酢酸とを含むエッチャントを使って実行されることを特徴とする半導体装置の製造方法により、または請求項31に記載したように、n型InP基板上に、n型InPよりなる第1の半導体層と、InPよりバンドギャップの小さい第2の半導体層と、p型InPよりなる第3の半導体層と、InGaAsおよびInGaAsPのいずれかよりなる第4の半導体層とを順次積層し、積層半導体構造を形成する工程と、前記積層半導体構造上に保護パターンを形成し、前記保護パターンをマスクとしたエッチングにより少なくとも前記第2～第4の半導体層を含むメサストライプを形成する工程と、前記保護パターンをエッチングにより除去する工程と、前記メサストライプを形成された基板上に、前記メサストライプを含むように、p型InPよりなる第5の半導体層を、前記基板表面から測った高さがその最も低い部分で前記第2の半導体層より高く、前記第4の半導体層よりも低く積層する工程と、前記第5の半導体層の表面をエッチングする工程と、n型InPよりなる第6の半導体層を、前記基板表面から測った高さがその最も低い部分で前記第4の半導体層の高さよりも低くなるように積層する工程と、前記第6の半導体層の表面をエッチングする工程と、前記第6の半導体層上にp型InPよりなる第7の半導体層を、前記基板表面から測った高さがその最も低い部分で前記第4の半導体層の高さよりも高くなるように積層する工程と、前記第7の半導体層の表面をエッチングする工程とよりなる半導体装置の製造方法において前記第5、第6および第7の半導体層の表面をエッチングする工程は、塩酸と酢酸とを含むエッチャントを使って実行されることを特徴とする半導体装置の製造方法により、または請求項32に記載したように、n型InP基板上に、n型InPよりなる第1の半導体層と、InPよりバンドギャップエネルギーの小さい第2の半導体層と、p型InPよりなる第3の半導体層と、InGaAsおよびInGaAsPのいずれかよりなる第4の半導体層とを順次積層し、半導体積層構造を形成する工程と、前記半導体積層構造上に保護パターンを形成し、前記保護パターンをマスクに前記半導体積層構造をエッチングすることにより、少なくとも前記第2～第4の半導体層を含むメサストライプを形成する工程と、前記保護パターンをエッチングにより除去する工程と、前記メサストライプを形成された基板上に、n型InPよりなる第5の半導体層を、前記基板表面から測った高さがその最も低い部分で第4半導体層よりも低くなるように積層する工程と、前記第5の半導体層の表面をエッチングする工程と、前記第5の半導体層上にp型InP層の第

イプを形成された基板上に、前記メサストライプを含むように、p型InPよりなる第5の半導体層を、前記基板表面から測った高さがその最も低い部分でも前記第2の半導体層よりも高く、前記第4の半導体層よりは低くなるように積層する工程と、前記第5の半導体層の表面をエッチングする工程と、前記第5の半導体層上にn型InPよりなる第6の半導体層とp型InPよりなる第7の半導体層とを順次積層する工程と、前記第7の半導体表面をエッチングする工程と、第4の半導体層をエッチングにより除去する工程と、p型InPよりなる第8の半導体層と、InGaAsおよびInGaAsPのいずれかよりなる第9の半導体層とを順次積層する工程を含む半導体装置の製造方法において、前記第5の半導体層をエッチングする工程と前記第7の半導体層をエッチングする工程とは、塩酸と酢酸とを含むエッチャントを使って実行されることを特徴とする半導体装置の製造方法により、または請求項33に記載したように、n型InP基板上に、n型InPよりなる第1の半導体層と、InPよりバンドギャップの小さい第2の半導体層と、p型InPよりなる第3の半導体層と、InGaAsおよびInGaAsPのいずれかよりなる第4の半導体層とを順次積層し、積層半導体構造を形成する工程と、前記積層半導体構造をエッチングすることにより、少なくとも前記第2～第4の半導体層を含むメサストライプを形成する工程と、前記メサストライプを形成された基板上に、前記メサストライプを含むようにp型InPよりなる第5の半導体層を、前記メサストライプと接する部分で前記第2の半導体層より高く、前記第4の半導体層よりも低く積層する工程と、前記第5の半導体層上にp型InPよりなる第6の半導体層を積層する工程と、前記第6の半導体層の表面をエッチングする工程とよりなる半導体装置の製造方法において、前記第6の半導体層の表面をエッチングする工程は、塩酸と酢酸とを含むエッチャントを使って実行されることを特徴とする半導体装置の製造方法により、または請求項34に記載したように、n型InP基板上に、n型InPよりなる第1の半導体層と、InPよりバンドギャップの小さい第2の半導体層と、p型InPよりなる第3の半導体層と、InGaAsおよびInGaAsPのいずれかよりなる第4の半導体層とを順次積層し、積層半導体構造を形成する工程と、前記積層半導体構造上に保護パターンを形成し、前記保護パターンをマスクに前記積層半導体構造をエッチングすることにより、前記第3半導体層および第4の半導体層を含むメサストライプを形成する工程と、前記保護層をエッチングにより除去する工程と、前記メサストライプを形成された基板上に、n型InPよりなる第5の半導体層を、前記基板表面から測った高さがその最も低い部分で第4半導体層よりも低くなるように積層する工程と、前記第5の半導体層の表面をエッチングする工程と、前記第5の半導体層上にp型InP層の第

6半導体層を、前記基板表面から測った高さがその最も低い部分でも前記第4の半導体層よりも高くなるように積層する工程と、前記第6の半導体層の表面をエッチングする工程とよりなる半導体装置の製造方法において前記第5および第6の半導体層をエッチングする工程は、塩酸と酢酸とを含むエッチャントを使って実行されることを特徴とする半導体装置の製造方法により、または請求項35に記載したように、n型InP基板上に、n型InPよりなる第1の半導体層と、InPよりバンドギャップの小さい第2の半導体層と、p型InPよりなる第3の半導体層と、InGaAsおよびInGaAsPのいずれかよりなる第4の半導体層とを順次積層して積層半導体構造を形成する工程と、前記積層半導体構造をエッチングすることにより、前記第3の半導体層と第4の半導体層とを含むメサストライプを形成する工程と、前記メサストライプを形成された基板上に、n型InPよりなる第5の半導体層を、前記基板表面から測った高さがその最も高い部分でも前記第4の半導体層よりも低くなるように積層する工程と、前記第5の半導体層の表面をエッチングする工程と、前記第5の半導体層上にp型InPよりなる第6の半導体層を、前記基板表面から測った高さがその最も低い部分でも前記第4の半導体層よりも高くなるように積層する工程と、前記第6半導体表面をエッチングする工程とよりなる半導体装置の製造方法において前記第5および第6の半導体層の表面をエッチングする工程は、塩酸と酢酸を含むエッチャントを使って実行されることを特徴とする半導体装置の製造方法により、または請求項36に記載したように、InP基板上に、n型InPよりなる第1の半導体層と、これより屈折率の大きい第2の半導体層と、p型InPよりなる第3の半導体層とをこの順序で積層し、積層半導体構造を形成する工程と、前記積層半導体構造上に保護パターンを形成し、前記保護パターンをマスクとした前記積層半導体構造のエッチングにより、少なくとも前記第2および第3の半導体層を含むメサパターンを形成する工程と、前記メサパターンを形成された前記InP基板上に、InPよりなる第4の半導体層を、前記メサパターンが前記保護パターンを担持した状態で積層する工程と、前記第4の半導体層の表面を、前記メサパターンが前記保護パターンを担持した状態でエッチングする工程と、前記保護パターンを除去する工程と、InPよりなる第5の半導体層を積層する工程とよりなる光導波路の製造方法において前記第4の半導体層の表面をエッチングする工程は、塩酸と酢酸を含むエッチャントにより実行されることを特徴とする光導波路の製造方法により、または請求項37に記載したように、InP基板上に、InPよりなる第1の半導体層と、InPよりバンドギャップの小さい第2の半導体層と、InPよりなる第3の半導体層と、InGaAsまたはInGaAsPのいずれかよりなる第4の半導体層とを順次積層し、積層半

導体構造を形成する工程と、前記積層半導体構造をエッチングすることにより、少なくとも前記第2～第4の半導体層を含むメサパターンを形成する工程と、前記メサパターンを形成された基板上に、InPよりなる第5の半導体層を、前記メサパターンを覆うように積層する工程と、前記第5の半導体層の表面をエッチングする工程とよりなる光導波路の製造方法において前記第5の半導体層の表面エッチングする工程は、塩酸と酢酸を含むエッチャントにより実行されることを特徴とする光導波路の製造方法により、または請求項38に記載したように、InP基板上に選択成長マスクを形成する工程と、前記選択成長マスクを形成されたInP基板上に、気相堆積工程により、InPよりなる第1の半導体層と、InPより屈折率の大きい第2の半導体層と、InPよりなる第3の半導体層とを順次積層して積層半導体パターンを形成する工程と、前記第3半導体層の表面をエッチングする工程とよりなる半導体装置の製造方法において第3の半導体層の表面をエッチングする工程は、塩酸と酢酸を含むエッチャントにより実行されることを特徴とする半導体装置の製造方法により、または請求項39に記載したように、InP基板上に選択成長マスクを形成する工程と、前記InP基板表面のうち、前記選択成長マスクで被覆しない領域をエッチングし、溝を形成する工程と、前記基板上に、前記選択成長マスクを形成した状態で、InPよりなる第1の半導体層と、InPよりバンドギャップの小さい第2の半導体層と、InPよりなる第3の半導体層を順次積層して積層半導体構造を形成する工程と、前記選択成長マスクを除去する工程と、前記第3の半導体層の表面をエッチングする工程とよりなる半導体装置の製造方法において第3半導体層の表面をエッチングする工程は、塩酸と酢酸を含むエッチャントを使って実行されることを特徴とする半導体装置の製造方法により、または請求項40に記載したように、InP基板上に、InPよりなる第1の半導体層と、InPよりバンドギャップの小さい第2の半導体層と、InPよりなる第3の半導体層とを順次積層して第1の積層半導体構造を形成する工程と、前記第1の積層半導体構造上に第1の保護パターンを形成し、前記第1の保護パターンをマスクに前記第1の積層半導体構造をエッチングすることにより、少なくとも前記第2および第3の半導体層を含む第1のメサストライプを形成する工程と、前記第1のメサストライプを形成された基板上にInPよりなる第4の半導体層を、前記第1のメサストライプ上に前記第1の保護パターンを残した状態で積層する工程と、前記第4の半導体層の表面をエッチングする工程と、前記第1の保護パターンを除去する工程と、前記第4の半導体層上に、InPよりなる第5の半導体層と、InPよりバンドギャップの小さい第6の半導体層と、InPよりなる第7の半導体層とを順次積層し、第2の積層半導体構造を形成する工程と、前記第2の積層

半導体構造上に第2の保護パターンを形成し、前記積層半導体構造を前記第1の保護パターンをマスクにエッチングすることにより、少なくとも前記第6の半導体層および第7の半導体層を含む第2のメサストライプを形成する工程と、前記第2のメサストライプが形成された基板上にInPよりなる第8の半導体層を、前記第2のメサストライプ上に前記第2の保護パターンを残した状態で積層する工程と、前記第8半導体表面をエッチングする工程と、前記第2の保護層をエッチングにより除去する工程とをよりなる多層光導波路の製造方法において前記第4および第8の半導体の表面をエッチングする工程は、塩酸と酢酸を含むエッチャントを使って実行されることを特徴とする多層光導波路の製造方法により、解決する。

【作用】本発明はInP結晶成長で表面に生じる段差形状を、ウエットエッチングにより平坦化することで上記問題を解決する。本発明は、特にエッチャントとして塩酸と酢酸を含む混合液を使用する。

【0020】図6は本発明の発明者により行われた、塩酸:酢酸:水の混合比が1:5:1の混合液を使って段差のあるInP層をエッチングする実験における、 $\langle 100 \rangle$ 方向、 $\langle 0-11 \rangle$ 方向、および $\langle 011 \rangle$ 方向のエッチング量とエッチング時間の相関を示す。

【0021】図6を参照するに、 $\langle 100 \rangle$ 方向および $\langle 011 \rangle$ 方向のエッチング速度が約0.05~0.7  $\mu\text{m}/\text{min}$ 程度であるのに対し、 $\langle 0-11 \rangle$ 方向のエッチング速度は5~30  $\mu\text{m}/\text{min}$ と約100倍速いことがわかる。従って前記混合液で段差形状をエッチングすると $\langle 0-11 \rangle$ 方向の段差は非常に早い速度で後退し、結果的に(100)面、(011)面およびこれに等価な(0-1-1)面だけが発達面として残り、他の面は消失する。すなわち上記エッチング液によるウエットエッチングにより、InP層上には(100)面あるいは(011)面あるいは(0-1-1)面のみが平坦面として現れることが見出された。

【0022】前記エッチャント中の各成分の混合比を変えると、エッチング速度の絶対値および各面方位に対する相対速度は変化する。

【0023】図7はエッチャント中の塩酸に対する酢酸の濃度比Xを変化させた場合における、 $\langle 100 \rangle$ 方向に対する $\langle 0-11 \rangle$ 方向へのエッチング速度比を示す。すなわち図7において、前記エッチャントでは塩酸:酢酸:水の濃度比が1:X:1で表される。

【0024】図7を参照するに、いずれの酢酸濃度範囲Xにおいても $\langle 100 \rangle$ 方向に比べ $\langle 0-11 \rangle$ 方向へのエッチング速度は30~100倍大きいことがわかる。かかるエッチング異方性は、エッチャント中における塩酸と酢酸の含有によって得られるのであり、特に塩酸と酢酸の濃度比Xが1~10の範囲において30以上のエッチング速度比が得られることがわかる。このよう

に、前記の範囲にエッチャント中の酢酸濃度を設定することにより、本特許の目的であるInP層の顕著な平坦化効果が得られる。

【0025】前記エッチャント中における水の濃度比が変わると、(塩酸+酢酸)濃度が変化する為に、エッチング速度の絶対値は変化するが、図5、6に示されたエッチング異方性自体は変わらず、平坦化効果には影響は生じない。

【0026】本発明のエッチャントによるエッチング異方性は、上記のエッチャント混合液に過酸化水素水を加えても得られる。

【0027】図8は、前記塩酸、酢酸および水よりなる混合液にさらに過酸化水素水を加えたエッチャントによりInPの段差形状をエッチングした場合の、 $\langle 100 \rangle$ 方向に対する $\langle 0-11 \rangle$ 方向へのエッチング速度比を示す。

【0028】図8を参照するに、前記エッチャントの中における塩酸と酢酸と過酸化水素水と水の組成比を1:1:Y:1と表した場合、前記過酸化水素水組成Yの値が0~0.3の範囲で30以上の異方性が得られることがわかる。

【0029】本発明による塩酸および酢酸を含むエッチャントを、図9(A)に示すSiO<sub>2</sub>エッチングマスクをInPの段差形状の表面に形成した構造に対して適用し、図9(B)に示すように平坦化を行った場合には、エッチングマスクの下ではサイドエッチングが進行しないことが見出された。

【0030】図9(A)を参照するに、InP基板41上にはSiO<sub>2</sub>パターン42をエッチングマスクにメサストライプ41Mが $\langle 011 \rangle$ 方向に形成されており、前記メサストライプ41Mの両側には、前記メサストライプ41M上の前記SiO<sub>2</sub>パターン42を選択成長マスクに、InP埋込層43A、43Bが形成されている。

【0031】図9(B)の工程では、前記SiO<sub>2</sub>パターン42を再びエッチングマスクに、前記InP埋込層43A、43Bを本発明の塩酸と酢酸とを含むエッチャントによりエッチングし、(100)面よりなる平坦化面を形成する。

【0032】図9(B)の工程において、前記メサストライプ41Mの側壁面が、前記エッチャントにより選択的にエッチングを受けるInPの(0-11)面であっても、前記メサストライプ41M上にSiO<sub>2</sub>パターン42を形成しておく限り、メサストライプ41Mに実質的なサイドエッチングは生じることがなく、従って図9(B)の平坦化工程が終了しても前記メサストライプ41Mは実質的に完全に残ることが見出された。

【0033】すなわち、本発明による塩酸と酢酸とを含むエッチャントによるInPの段差構造の平坦化工程では、InP段差構造の表面の一部をマスクで被覆するこ

とにより、この部分の段差を意図的に残し、一方でマスクにより被覆されない領域を、前記エッチャントを使ったエッチングにより、(100)面、(011)面および(0-1-1)面のいずれかとする選択的な平坦化が可能であることが見出された。

【0034】一方、元々段差の無い(100)面あるいは(011)面あるいは(0-1-1)面上にエッチングマスクを形成し、かかる構造を本発明の混合液でエッチングしたとしても、本発明の目的である平坦化は達成されない。本発明の選択的な平坦化が有効であるためには、エッチングマスクの形成された領域に対して、マスクで被覆されない領域の少なくとも一部が低い位置に存在しなければならない。

【0035】なお、InGaAsP、InGaAsなどGaまたはAsを含む化合物半導体層では、本発明による塩酸および酢酸を含むエッチャントによるエッチング速度が、InPに比べて非常に遅い。特にエッチャントが過酸化水素水を含む場合は、これらの半導体層は実質的にエッチングされない。従って前述の選択的な平坦化のためのエッチングマスクとして、SiO<sub>2</sub>やSiN以外にも、InGaAsPやInGaAsなどのGaあるいはAsを含む化合物半導体層を用いることができる。

【0036】そこで、本発明のエッチャントによる上記の平坦化効果を有効に適用できる段差形状を形態すると、以下のようになる。

A. 選択成長マスクの縁に形成される段差形状の平坦化  
図10(A)、(B)は、n型InP基板51上に形成されたSiO<sub>2</sub>パターン52を選択成長マスクとしてInP層53を成長し、かかるInP層53を塩酸と酢酸とを含むエッチャントにより平坦化する場合を示す。

【0037】かかる選択成長マスク52を使って基板上に半導体層を気相成長する場合には、マスク52上で気相原料が消費されず原料濃度が増加する為、マスク52の縁に原料が過剰に供給され、その結果、形成される半導体層の成長速度が増加する。

【0038】図11(A)、(B)は、前記InP基板51上に形成されたメサストライプ等の凸部上に前記SiO<sub>2</sub>パターン52を形成し、かかるSiO<sub>2</sub>パターン52を選択成長マスクに前記凸部の両側にInP埋込層53A、53Bを成長する場合を示す。この場合には、先にも説明したように前記選択成長マスク52上における原料濃度の増加の結果、前記InP埋込層53A、53Bは前記マスク52の両側において盛り上がる。

【0039】そこで図11(A)の構造に対して図11(B)の工程において本発明による塩酸および酢酸を含むエッチャントを使ったウェットエッチング工程を適用し、前記InP埋込層53A、53Bを平坦化する。図11(A)、(B)の工程においては、前記選択成長マスク52をエッチングマスクとして使用しているが、図

12(A)、(B)に示すように、平坦化工程の前にかかる選択成長マスク52をエッチング除去しても同様な平坦化効果が達成される。

B. 成長前の段差を反映した段差形状に対する平坦化  
図13(A)、(B)は、段差形状を有する構造上にInP層を成長した場合に、かかるInP層表面に生じる凹凸の平坦化工程を示す。

【0040】図13(A)を参照するに、n型InP基板61上にはメサ構造61Mが形成されており、さらに前記基板61上には前記メサ構造61Mを覆うようにInP層62が堆積されている。その結果、前記InP層62の表面には、前記メサ構造61Mに対応した凸部が形成されている。

【0041】そこで、図13(B)に工程において、前記InP層62に対して前記塩酸と酢酸とを含むエッチャントによるウェットエッチングを行い、前記InP層62の表面を平坦化する。

C. マスクを越えない成長層表面に生じた段差形状の平坦化

図14(A)、(B)は、凸部を形成された基板上に選択成長マスクを使って埋込InP層を結晶成長する際に、前記凸部に隣接して前記埋込InP層の表面に形成されるスロープ面を本発明のウェットエッチングにより平坦化する場合を示す。かかるスロープ面は、前記埋込InP層が前記選択成長マスクの高さよりも低い位置に形成される場合に発生する。

【0042】図14(A)を参照するに、n型InP基板71上にはSiO<sub>2</sub>パターン72をエッチングマスクにメサ構造71Mが形成されており、さらに前記SiO<sub>2</sub>パターン72を選択成長マスクに、前記メサ構造71Mの両側にはInP埋込層73A、73Bが形成されている。その際、前記InP埋込層73A、73Bは前記メサ構造71Mを超えないような高さに形成されており、前記埋込層73A、73Bの表面には、前記選択成長マスク72上において前記埋込層73A、73Bの選択成長の際に気相原料が過剰になることに起因して、前記メサ構造71Mから側方に下降するスロープ面が形成されている。

【0043】図14(B)の工程では、図14(A)の構造に対して本発明による塩酸と酢酸とを含むエッチャントを使ったウェットエッチング工程を適用し、前記埋込層73A、73Bを平坦化する。

D. エッチングマスクとなる半導体層を含む段差形状の平坦化

先にも説明したように、InGaAsPあるいはInGaAs、GaまたはAsを含む半導体は、本発明の塩酸および酢酸を含むエッチャントを使ったウェットエッチングにおけるエッチング速度がInPに比べて非常に遅い。従って、本発明のエッチャントを使ってInP層を平坦化する場合に、かかるInGaAsPあるいはIn

GaAs半導体膜をエッチングマスクとして使うことも可能である。

【0044】図15(A)はn型InP基板81上にInGaAsPパターン82を担持するメサ構造81Mを形成し、さらにかかるメサ構造81MおよびInGaAsPパターン82を覆うようにInP埋込層83を堆積した場合を示す。

【0045】図15(A)の構造に対して本発明による塩酸と酢酸を含むエッチャントを使ったウェットエッチング工程を適用することにより、図15(B)に示すように前記InGaAsPパターン82がエッチングマスクとして作用し、前記InP埋込層83を前記InGaAsPパターン82の表面に一致する表面を有するように平坦化することができる。

【0046】あるいは図16(A)、(B)に示すように、前記InP埋込層83を前記InGaAsPパターン82よりも下の位置までエッチングすることも可能である。

【0047】ところでこれまでの説明では平坦化を、InP層の成長に伴い形成された段差形状に対して、前記塩酸と酢酸を含むエッチャントを使ったウェットエッチングを適用する結果、(100)面あるいは(011)面あるいは(0-1-1)面のいずれかよりなる平面が前記InP層中に発達する事と定義してきた。しかしエッチングの初期の段階では、段差斜面から前記(100)面、(011)面あるいは(0-1-1)面に変化する途中の面方位を持つスロープ面が出現しており、前記スロープ面はエッチングの進行とともに、徐々に前記結晶面のいずれかへと変化する。従って、本発明の平坦化は、実際の半導体装置の作製工程においては、段差面が(100)面あるいは(011)面あるいは(0-1-1)面に変化させる場合のみならず、エッチングの途中段階で打ち切る場合でも有効である。すなわち本発明の平坦化は、エッチング後にInP段差面が(100)面あるいは(011)面あるいは(0-1-1)面に変化する場合のみならず、中間的なスロープ面あるいは斜面となる場合をも含む。

【0048】ところで、塩酸および酢酸および過酸化水素水を含むエッチャント自体は公知である。例えば特開平10-65201号公報には、塩酸と酢酸と過酸化水素水を含有するエッチャントをメサストライプ形成工程で使う例が記載されている。しかし上記公知例は、結晶成長前の凸部の側壁面を特定の斜面にそろえる為にエッチャントを使用しているものであって、本発明の効果である結晶成長に伴い形成された段差形状の平坦化に前記エッチャントが利用できることは、この公知例からは類推できない。

【0049】また特開2000-91303号公報には、塩酸と酢酸と過酸化水素水を含むエッチャントにより、ドライエッチングにより形成されたメサストライ

プの側壁面をエッチングする例が記載されている。しかし、前記公知例はドライエッチングで生じるメサ表面のダメージを除去することを目的としているので、本発明の目的とする段差形状の平坦化を類推することはできない。

【0050】

【発明の実施の形態】[実施例1]以下、図17(A)～図18(E)を参照しながら、本発明の第1実施例によるBH構造を有するレーザダイオードの製造工程を説明する。

【0051】図17(A)を参照するに、n型InP基板101上にInGaAsP/InGaAsP多重量子井戸活性層102と、p型InPクラッド層103と、p型InGaAsコンタクト層104とを順次積層する。

【0052】次に図17(B)の工程において、SiO<sub>2</sub>膜105をエッチングマスクとして使い、ドライエッチングを行うことにより、活性層メサストライプ101Mを形成する。図示の例では、前記活性層メサストライプ101Mは、〈011〉方向に延在する。

【0053】次に図17(C)の工程において、前記SiO<sub>2</sub>膜105を選択成長マスクとして、MOVPE法によりFeドーブInP埋込層106<sub>1</sub>、106<sub>2</sub>を前記基板101上、前記メサストライプ101Mの両側に成長する。前記MOVPE工程は、例えば成長温度を630°C、成長圧力を0.1気圧に設定して実行され、II族元素、V族元素およびFeドーバントの原料としてTMIn、PH<sub>3</sub>およびCp<sub>2</sub>Feを使用する。本実施例では前記InP埋込層106A、106Bの厚さは、前記InP埋込層106<sub>1</sub>、106<sub>2</sub>の最も低い部分が前記メサストライプ101M中のp型InGaAsコンタクト層104よりも高くなるように設定される。その結果、前記InP埋込層106<sub>1</sub>、106<sub>2</sub>には、前記メサストライプ101M上のSiO<sub>2</sub>膜105に隣接して、盛り上がり部106a、106bが形成される。

【0054】次に図18(D)の工程において、塩酸と酢酸と水の混合液よりなるエッチャントで、図17(C)の構造をウェットエッチングする。

【0055】図18(D)の工程において、前記エッチャント中における塩酸と酢酸と水の混合比は1:5:1に設定し、液温2.3°Cで典型的には3分間エッチングを行う。かかるエッチングの結果、図18(D)に示すように前記InP埋込層106A、106Bの表面は(100)面となり、前記p型InGaAs層104の高さが平坦化する。

【0056】最後に図18(E)の工程で図18(D)の構造を弗化水素酸に1分間侵し、SiO<sub>2</sub>膜105をエッチング除去した後、前記p型InGaAs層104上にp側電極107を、また前記基板101の下面上にn側電極108を形成する。

【0057】本実施例では図18(E)の工程において前記埋込層106<sub>1</sub>、106<sub>2</sub>は平坦面となっているので、前記p側電極107は平面上に積層され、従って先に図2で説明した電極途切れの問題は生じない。

【実施例2】次に、本発明の第2実施例によるBH構造を有するレーザダイオードの製造工程を、図19(A)～(C)を参照しながら説明する。ただし、図19(A)～(C)中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0058】本実施例では図19(A)の工程において図17(A)、(B)と同様な工程により前記InP基板101上にメサストライプ101Mを形成し、さらに前記SiO<sub>2</sub>層105を弗化水素酸でエッチング除去する。

【0059】次に図19(B)の工程において、図19(A)の構造上にMOVPE法によりFeドーピングInP埋込層106を結晶成長する。このようにして形成されたInP埋込層106は、下地の段差形状を反映してメサストライプ対応部分が盛り上がったスロープ面を有する。図19(B)の工程において、前記FeドーピングInP埋込層は、厚さが最も低い部分でInGaAsコンタクト層より高くなるように形成される。

【0060】最後に図19(C)の工程において、前記塩酸と酢酸と水の混合液よりなるエッチャントにより図19(B)の構造をエッチングする。かかるエッチングの結果、前記FeドーピングInP埋込層106のスロープ斜面は平坦化され、(100)面により近い面が現れる。

【0061】図19(C)の工程において前記InP埋込層106のエッチングが進行し、前記メサストライプ101Mの両側にInP埋込層106<sub>1</sub>、106<sub>2</sub>が形成される。前記エッチングの結果前記p型InGaAs層コンタクト層104が表面に露出すると、露出したコンタクト層104はエッチングマスク層として作用し、前記p-InGaAs層104の高さに揃った平坦な(100)面が前記InP埋込層106<sub>1</sub>、106<sub>2</sub>の主面として出現する。

【実施例3】次に、本発明の第3実施例によるpn埋込構造を有するレーザダイオードの製造方法を、図20(A)～図21(F)を参照しながら説明する。

【0062】図20(A)を参照するに、n型InP基板111上にはInGaAs/InGaAsP多重量子井戸活性層112と、p型InPクラッド層113と、SiO<sub>2</sub>膜115とを順次積層した半導体積層構造が形成され、さらにこれをドライエッチングによりパターンニングすることにより、活性層メサストライプ111Mが形成される。

【0063】次に図20(B)の工程において前記InP基板111上、前記メサ領域111Mの両側に、MOVPE法により、p型InP層116<sub>1</sub>および116

<sub>2</sub>を、前記SiO<sub>2</sub>膜115を選択成長マスクとして使い、成長する。pドーピング原料としてはDMZnを使用すればよい。その際、前記p型InP層116<sub>1</sub>、116<sub>2</sub>の成長は、前記InP層116および116<sub>2</sub>の表面のうち最も低い部分が前記InGaAsP/InGaAsP多重量子井戸層の上面よりも高く、しかもメサストライプ111M中のp-InPクラッド層113の上面より低くなるように実行される。

【0064】次に図20(C)の工程において、塩酸と酢酸と水の混合液よりなるエッチャントを使い、図20(B)の構造をウェットエッチングする。かかるウェットエッチングの結果、前記p型InP層116<sub>1</sub>、116<sub>2</sub>は平坦になり、その表面は前記InP層116<sub>1</sub>、116<sub>2</sub>初期表面の最低領域に対応して、InGaAsP/InGaAsP多重量子井戸層112の上面よりは高く、メサストライプ111M中のp型InPクラッド層113の上面より低い位置に形成される。

【0065】次に図21(D)の工程においてMOVPE法により、図20(C)の構造上にn型InP層117とp-InP層118とを順次結晶成長する。

【0066】さらに図21(E)の工程において前記SiO<sub>2</sub>膜115を弗化水素酸でエッチング除去し、最後に図21(F)の工程において図21(E)の構造上にp型InPクラッド層119とp型InGaAsコンタクト層120とをMOVPE法により順次成長する。

【0067】一般にpn埋込構造では電流狭窄の為にn型InP埋込層117の位置を正確に制御しなければならない。前記n型InP埋込層117と活性層112との間の間隔が広い場合には、間に電流リークパスが形成され電流注入効率が低下する。一方前記n型InP埋込層117と活性層112との間隔が狭すぎる場合には、前記n型InP埋込層117と活性層下部のn型InP層111の電氣的絶縁が取れず、ここが電流リークパスとなる。これに対し本実施例の方法では、図20(B)のp型InP層116<sub>1</sub>、116<sub>2</sub>の初期層厚、換言すると成長時間のみで前記n型InP埋込層117の下面位置が決まるため、MOVPE法で生じる結晶成長面の指数に影響されない。成長結晶面は、MOVPE工程における成長温度、圧力等の成長条件により容易に変化するので位置制御は困難である。また前記n型InP埋込層117は(100)面を有するp型InP層116<sub>1</sub>、116<sub>2</sub>上に成長する為に、InP層へのn型ドーパント取り込み効率の面方位依存性の影響を受けず、全面で均一な濃度のn型InP層117が形成される。

【実施例4】次に本発明の第4実施例によるpn埋込構造を有するレーザダイオードの製造方法を、図22(A)～図23(G)を参照しながら説明する。ただし図中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

【0068】図22(A)を参照するに、前記n型In

P基板111上にInGaAsP/InGaAsP多重量子井戸活性層112とp型InPクラッド層113とp型InGaAsコンタクト層114とを積層し、さらに前記InGaAsコンタクト層114上に形成したSiO<sub>2</sub>膜105をマスクに使ったドライエッチングにより前記基板111上にメサストライプ111Mを形成する。図22(A)ではさらに前記SiO<sub>2</sub>膜115が弗化水素酸でエッチング除去されている。

【0069】次に図22(B)の工程において、図22(A)の構造上にMOVPE法によりp型InP層116を結晶成長する。その際、前記p型InP層116表面の最も低い部分が前記InGaAsP/InGaAsP多重量子井戸層112の上面より高く、p-InGaAsコンタクト層114の下面よりも低くなる様に、前記p型InP層116の厚さを設定する。

【0070】次に図22(C)の工程において、図22(B)の構造に塩酸と酢酸と水の混合液よりなるエッチャントを使ったウェットエッチングを適用し、前記p型InP層116を平坦化する。その際、平坦化されたInP層116の表面は、前記InP層116初期表面の最低領域に対応し、InGaAsP/InGaAsP多重量子井戸層112よりは高く、p型InGaAs層114より低い位置に位置する。図22(C)の平坦化工程の結果、前記InP層116は前記メサストライプ111Mを隔ててInP領域116<sub>1</sub>とInP領域116<sub>2</sub>とに分かれる。

【0071】次に図22(D)の工程において、図22(C)の構造上にMOVPE法により、n型InP埋込層117Aを結晶成長する。その際、前記n型InP層117Aの厚さを、前記InP層117A表面の最も低い部分が前記InGaAsコンタクト層114の下面よりも低くなる様に層厚を決める。

【0072】次に図23(E)の工程において、塩酸と酢酸と水の混合液よりなるエッチャントを使ったウェットエッチングにより、前記n型InP埋込層117Aをエッチングする。その結果、前記n型InP層117Aは、表面が前記InGaAsコンタクト層114よりも低い位置で平坦化する。

【0073】次に図23(F)の工程においてMOVPE法によりp型InP埋込層118Aを図23(E)の構造上に、前記InGaAsコンタクト層114を覆うように成長する。

【0074】最後に図23(G)の工程において、図23(F)のp型InP埋込層118Aに対して、塩酸と酢酸と水の混合液よりなるエッチャントを使ったウェットエッチングを適用し、前記InP埋込層118Aの上面を前記InGaAsコンタクト層114の上面に一致させる。

【0075】本実施例によれば、図22(B)の工程において前記p型InP埋込層116Aの厚さを制御する

ことにより、図22(D)に示すように前記n型InP埋込層117A下面の位置が制御できるだけでなく、図22(D)の工程において前記n型InP埋込層117Aの初期厚さを制御することにより、前記n型InP層117A上面の位置も制御でき、電流狭窄構造を精度良く作製できる。

[実施例5]次に、本発明の第5実施例によるpn埋込構造を有するレーザダイオードの製造方法を、図24(A)～図26(G)を参照しながら説明する。ただし図中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

【0076】図24(A)を参照するに、図20(A)の工程と同様にして前記n型InP基板111上にInGaAsP/InGaAsP多重量子井戸活性層112とp型InPクラッド層113とp型InGaAsコンタクト層114とを含むメサストライプ111Mを、SiO<sub>2</sub>膜115をマスクに使ったドライエッチングにより形成し、さらに前記SiO<sub>2</sub>膜115を弗化水素酸でエッチング除去する。

【0077】次に図24(B)の工程において、図24(A)の構造上にMOVPE法によりp型InP層116を成長する。その際、前記p型InP層116表面の最も低い部分が前記InGaAsP/InGaAsP多重量子井戸層112の上面より高く、p型InGaAsコンタクト層114の下面よりも低くなる様に、前記p型InP層116の厚さを設定する。

【0078】次に図24(C)の工程において、図24(B)の構造に塩酸と酢酸と水の混合液よりなるエッチャントを使ったウェットエッチングを適用し、前記p型InP層116を平坦化する。その際、平坦化されたInP層116の表面は、前記InP層116初期表面の最低領域に対応し、InGaAsP/InGaAsP多重量子井戸層112よりは高く、p型InGaAs層114より低い位置に位置する。図24(C)の平坦化工程の結果、前記InP層116は前記メサストライプ111Mを隔ててInP領域116<sub>1</sub>とInP領域116<sub>2</sub>とに分かれる。このように、図24(A)～図24(C)の工程は、図22(A)～(C)の工程にそれぞれ対応している。

【0079】次に図25(D)の工程において、図24(C)の構造上にMOVPE法によりn型InP層117Bおよびp型InP埋込層118Bを順次成長する。その際、前記n型InP層117Bの最も低い部分が前記p型InGaAs層114の下面よりも低く、また前記p型InP層118Bの最も低い部分が前記InGaAs層114よりも高くなる様に、InP層117Bおよび118Bの厚さを設定する。

【0080】次に図25(E)の工程において、前記InP層118Bおよび117Bを、塩酸と酢酸と水の混合液よりなるエッチャントを使ったウェットエッチング



によりエッチングする。かかるウェットエッチング工程の際、前記InGaAs層114はエッチングマスクとして作用し、前記p型InP層118Bおよびn型InP層117Bの表面が平坦化する。

【0081】次に図25(F)の工程において前記InGaAs層114を弗化水素酸と硝酸の混合液でエッチング除去し、最後に図26(G)の工程において、図25(F)の構造上にMOVPE法によりp型InPクラッド層119とp型InGaAsコンタクト層120とを順次結晶成長する。

【0082】本実施例の方法でも、図24(B)の工程において前記n型InP埋込層116の厚さを制御することで、前記n型InP埋込層117下面の位置が制御できる。

[実施例6]次に本発明の第6実施例によるpn埋込構造を有するレーザダイオードの製造方法を図27(A)～(C)および図28(D)を参照しながら説明する。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0083】図27(A)を参照するに、図20(A)の工程と同様にして前記n型InP基板111上にInGaAsP/InGaAsP多重量子井戸活性層112とp型InPクラッド層113とp型InGaAsコンタクト層114とを含むメサストライプ111Mを、SiO<sub>2</sub>膜115をマスクに使ったドライエッチングにより形成する。

【0084】次に図27(B)の工程において、前記メサストライプ111M上に前記SiO<sub>2</sub>膜115を残した状態で、MOVPE法によりp型InP埋込層116、n型InP埋込層117およびp型InP層118を順次成長する。図27(B)のMOVPE工程は、典型的には成長温度を550°C、成長圧力を0.1気圧に設定し、III族原料、V族原料、およびp型およびn型ドーパント原料としてそれぞれTMIn、PH<sub>3</sub>、DMZn、SiH<sub>4</sub>を使用するとともに、塩化メチルC<sub>2</sub>H<sub>5</sub>Clを10CCM添加して実行される。かかる低温成長と塩素系ガスの添加を組み合わせることにより、各埋込層はメサ側面への遭い上がり成長が抑制され、メサ底面からほぼ<100>方向に成長する。

【0085】図27(B)の工程において各埋込層は、前記n型InP層117の下面が前記メサストライプ111Mと接する位置において活性層112の上面よりも高くなるように、また前記n型InP層117の上面が前記メサストライプ111Mと接する位置において前記p型InGaAsコンタクト層114の下面よりも低くなるように、前記p型InP層116およびn型InP層117の厚さを制御する。

【0086】次に図27(C)の工程において図27(B)の構造を、前記SiO<sub>2</sub>膜115をマスクとして、塩酸と酢酸と水の混合液よりなるエッチャントを使

ったウェットエッチングによりエッチングする。その結果、前記p型InP層118は平坦化され、前記InGaAsクラッド層114の上面に一致した平坦化面が得られる。

【0087】次に図28(D)の工程において、前記SiO<sub>2</sub>膜115を弗化水素酸と過酸化水素水の混合液でエッチング除去する。

【0088】本実施例では1回の埋込成長で平坦な成長表面を得ることができ、レーザダイオードの製造工程を大幅に簡略化できる。

[実施例7]次に本発明の第7実施例によるリッジ構造を有するレーザダイオードの製造方法を、図29(A)～図30(E)を参照しながら説明する。

【0089】図29(A)を参照するに、n型InP基板121上にはInGaAs/InGaAsP多重量子井戸活性層122と、p型InPクラッド層123と、p型InGaAsコンタクト層124と、SiO<sub>2</sub>膜125とを順次積層した半導体積層構造が形成され、さらにこれを前記SiO<sub>2</sub>膜125をマスクとしたドライエッチングによりパターンニングすることにより、前記クラッド層123上にリッジストライプ123Mが形成される。さらに図29(A)の工程では、前記SiO<sub>2</sub>膜125は弗化水素酸でエッチング除去されている。

【0090】次に図29(B)の工程においてMOVPE法により、図29(A)の構造上にn型InP層126を結晶成長する。その際、前記n型InP層126の厚さを、前記InP層126の上面が前記p型InGaAs層124の下面よりも低くなるように設定する。

【0091】次に図29(C)の工程において図29(B)の構造に対して塩酸と酢酸と水の混合液よりなるエッチャントを使ったウェットエッチングを、前記InGaAsコンタクト層124をマスクとして実行し、前記n型InP層126の表面を平坦化する。かかる平坦化の結果、前記n型InP層126の上面の位置は、前記p型InGaAs層124の下面の位置よりも低くなる。

【0092】次に図30(D)の工程において図29(C)の構造上にMOVPE法により、p型InP層127を、前記p型InP層127の上面その最低領域においても前記p型InGaAs層124の上面よりも高くなるような厚さに形成する。

【0093】最後に図30(E)の工程において図30(D)の構造に対して塩酸と酢酸と水の混合液よりなるエッチャントを使ったウェットエッチングを、前記InGaAsコンタクト層124をマスクとして実行し、前記InP層127を平坦化する。かかる平坦化の結果、前記p型InP層127は前記InGaAsコンタクト層124の表面に一致する表面を有する。

【0094】かかるリッジ構造を有するレーザダイオードにおいても、効果的な電流狭窄を実現する為には、前

記n型InP埋込層126の表面位置を注意深く制御しなければならない。例えば前記n型InP層126とp型InGaAsコンタクト層124との間の間隔が広い場合は、この間隔が電流リークパスとして作用する。本実施例の方法では、図29(B)の工程において前記n型InP埋込層126の厚さを制御するだけで、所望の効果的な電流狭帯が実現される。

[実施例8]次に本発明の8実施例によるリッジ構造を有するレーザダイオードの製造方法を、図31(A)～図32(F)を参照しながら説明する。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。

[0095]図31(A)を参照するに、前記n型InP基板121上には先の図29(A)の工程と同様にInGaAs/InGaAsP多重量子井戸活性層122と、p型InPクラッド層123と、p型InGaAsコンタクト層124と、SiO<sub>2</sub>膜125とを順次積層した半導体積層構造が形成され、さらにこれを前記SiO<sub>2</sub>膜125をマスクとしたドライエッチングによりパターニングすることにより、前記クラッド層123上にリッジストライプ123Mが形成されている。

[0096]次に図31(B)の工程において図31(A)の構造上に、前記SiO<sub>2</sub>膜125を選択成長マスクとして残した状態でMOVPE法により、n型InP層126を、前記n型InP層126の上面が前記p型InGaAsコンタクト層124の下面よりも低くなるような厚さで形成する。

[0097]次に図31(C)の工程において図31(B)の構造に対して塩酸と酢酸と水の混合液よりなるエッチャントを使ったウェットエッチングを実行し、前記InP層126を平坦化する。このように平坦化されたInP層126は、前記p型InGaAs層124よりも低い位置に平坦化面を有する。

[0098]次に図32(D)の工程において図31(C)の構造上に、前記SiO<sub>2</sub>膜125を選択成長マスクとして残したまま、MOVPE法により、p型InP層127を、前記p型InP層127の上面が最も低い領域においても前記p型InGaAsコンタクト層124の高さよりも高くなるような厚さで成長する。

[0099]次に図32(E)の工程において図32(D)の構造に対し、塩酸と酢酸と水の混合液よりなるエッチャントを使ったウェットエッチングを実行し、前記p型InP層127を平坦化する。図32(E)の平坦化工程は前記コンタクト層124上に前記SiO<sub>2</sub>膜125を残した状態で実行され、その結果、前記p型InP層127の平坦化面の高さは、前記コンタクト層124の上面の高さに一致する。

[0100]最後に図32(F)の工程において前記SiO<sub>2</sub>膜125を弗化水素酸と過酸化水素水の混合液でエッチング除去する。

[実施例9]次に、本発明の第9実施例による分岐を有する光導波路の製造方法を、図33(A)～図34(E)を参照しながら説明する。

[0101]図33(A)を参照するに、n型InP基板201上にはInGaAsP/InGaAsP多重量子井戸層202とInPクラッド層203とが積層されており、Y字型に分岐したSiO<sub>2</sub>パターン205をマスクに、前記InP基板201に達するドライエッチングを行うことにより、前記基板201上には前記SiO<sub>2</sub>パターン204に対応したY字型のメサストライプ201Mが形成されている。

[0102]次に図33(B)の工程において図33(A)の構造上に、前記SiO<sub>2</sub>パターン205を選択成長マスクとして残した状態で、FeドーブInP埋込層206を、前記FeドーブInP層206の最も低い表面部分が前記メサストライプ201M中のクラッド層、203の上面よりも高くなるような厚さに、MOVPE法により形成する。図33(B)の工程の結果、前記FeドーブInP埋込層206は前記InP基板201上に、前記Y字型メサストライプ201Mを側方から挟持するように形成される。

[0103]次に図33(C)の工程において図33(B)の構造を、塩酸と酢酸と水の混合液よりなるエッチャントを使ったウェットエッチングによりエッチングし、前記FeドーブInP埋込層206の表面を、前記メサストライプ201M最上部のInPクラッド層203の上面と一致するように平坦化する。

[0104]次に図34(D)の工程で前記SiO<sub>2</sub>膜205を弗化水素酸と過酸化水素水の混合液でエッチング除去し、最後に図34(E)の工程で、図34(D)の構造上にMOVPE法によりFeドーブInP層207を成長する。その際、図34(D)の工程で前記InPクラッド層205とInGaAs層204とが(100)面よりなる平坦面を形成しているため、前記FeドーブInP層207表面も平坦化されている。

[0105]先に図3で説明したように、従来の工程では分岐点を有するストライプの周囲にInP埋込層を成長する場合には、埋込InP層が分岐部分でマスク上にオーバーハングすることがある。これに対し、本実施例では図33(C)の工程で前記InP埋込層206をウェットエッチングすることにより、かかるオーバーハング部分を除去することができ、その結果図34(E)の工程においてInP層207を堆積しても空洞が生ることがない。

[実施例10]次に、本発明の第10実施例による分岐点を有しBH埋込構造を有する光導波路の製造工程を、図35(A)～(C)を参照しながら説明する。ただし図中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

[0106]図35(A)を参照するに、前記n型In

P基板201上には前記InGaAsP/InGaAs P多重量子井戸層202とInPクラッド層203、およびInGaAs層204が順次積層され、さらに図示していないSiO<sub>2</sub>パターン205を使ったドライエッチングを行うことにより、Y型メサストライプ201Mが形成される。図35(A)の工程では、前記メサストライプの形成後、前記SiO<sub>2</sub>膜205を弗化水素酸でエッチング除去している。

【0107】次に図35(B)の工程において、図35(A)の構造上にMOVPE法により、前記FeドーブInP埋込層206を、前記FeドーブInP層206の最も低い表面部分が前記p型InGaAs層204の上面よりも高くなるような厚さに形成する。このようにして形成されたInP埋込層206は、その表面に、下地となるY字型ストライプパターン201Mの形状を反映した凹凸を有する。

【0108】最後に図35(C)の工程において、図35(B)の構造に対して塩酸と酢酸と水の混合液よりなるエッチャントを使ったウェットエッチングを行い、前記InP埋込層206を平坦化する。

【0109】図35(C)の平坦化工程においては前記p型InGaAs層204がエッチングマスクとして作用し、その結果、前記FeドーブInP206は、前記InGaAs層204の表面と実質的に一致する表面を有する。従って、図35(C)以降の工程において図35(C)の構造上に別の半導体層や電極パターンを形成する場合にも、平坦面上への形成となるため問題が生じない。

【実施例11】次に、本発明の第11実施例による、活性層の選択成長工程を含む半導体装置の製造方法を、図36(A)～36(C)を参照しながら説明する。

【0110】図36(A)を参照するに、n型InP基板211の表面に<0-11>方向に延在する基板領域を露出するSiO<sub>2</sub>膜パターン212が、前記<0-11>方向に幅が変化するように形成されている。

【0111】次に図36(B)の工程において前記InP基板211上に前記SiO<sub>2</sub>膜パターン212をマスクとしたMOVPE法によりn型InP層213とInGaAsP/InGaAsP多重量子井戸層214とp型InPクラッド層215とを順次堆積する。かかるSiO<sub>2</sub>膜パターン212をマスクとした気相成長では、半導体層の成長が生じないSiO<sub>2</sub>膜パターン212上で原料濃度が増加し、その結果SiO<sub>2</sub>膜パターン212が途切れている前記<0-11>方向に延在する基板領域に原料が過剰に供給される。かかる原料の過剰供給は、SiO<sub>2</sub>膜の被覆率、すなわち前記SiO<sub>2</sub>膜パターン212の幅に依存し、前記幅が広いほど過剰供給される原料が増加し、半導体層213から215の厚さが増加する。前記SiO<sub>2</sub>膜パターン212の幅は<0-11>方向に変化するため、前記<0-11>方向に前記

半導体層213～215の厚さが変化する。

【0112】最後に図36(C)の工程において塩酸と酢酸と水の混合液よりなるエッチャントを使ったウェットエッチングを図36(B)の工程に対して適用することにより、前記p型InP層215を平坦化する。その際、前記p型InP層215はその上面の最も低い表面部分に対応した高さにおいて平坦化される。

【0113】このような活性層214を含む選択成長で段差構造が生じた場合、後工程の電流狭窄埋込成長工程あるいは電極形成工程において問題が生じるが、本実施例によればかかる段差構造を容易に平坦化することが可能なため、かかる不都合を回避することが可能である。

【実施例12】次に、活性層の選択成長工程を含む本発明の第12実施例による半導体装置の製造工程を、図37(A)～図38(E)を参照しながら説明する。ただし図中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

【0114】図37(A)を参照するに、本実施例では前記InP基板211上に図36(A)の工程と同様に前記SiO<sub>2</sub>膜パターン212を、基板211を露出する開口部に沿ってパターン212の幅が変化するように形成し、次いで図37(B)の工程において前記InP基板211を前記SiO<sub>2</sub>膜パターン212をマスクにドライエッチングし、InP基板211表面に深さが約1μmの溝211Aを形成する。

【0115】次に図37(C)の工程において図37(B)の構造上にMOVPE法により、前記InGaAsP/InGaAsP多重量子井戸層213およびp型InPクラッド層214を、前記溝211Aを埋めるように形成する。その際、前記p型InPクラッド層214の厚さを、前記InPクラッド層214の上面の最も低い表面部分が前記n-InP基板211の表面より高くなるように設定しておく。前記SiO<sub>2</sub>マスク212は前記<0-11>方向に沿って幅を変化させるため、前記InPクラッド層214には前記<0-11>方向に、膜厚の変調が生じる。

【0116】次に図38(D)の工程において前記SiO<sub>2</sub>膜パターン212を弗化水素酸と過酸化水素水の混合液でエッチング除去し、最後に図38(E)の工程で図38(D)の構造に対して塩酸と酢酸と水の混合液よりなるエッチャントを使ったウェットエッチングを実行する。

【0117】かかるウェットエッチングの結果、前記InPクラッド層214は平坦化され、前記クラッド層214の上面として、前記InP基板211と一致する平坦面が得られる。

【実施例13】次に本発明の第13実施例による多層光導波路の製造方法を、図39(A)～図41(G)を参照しながら説明する。ただし図39(A)～41(G)中、先に説明した部分には同一の参照符号を付し、説明

を省略する。

【0118】図39(A)を参照するに、n型InP基板221上にInGaAsP/InGaAsP多重量子井戸層222とInPクラッド層223を順次積層した後、SiO<sub>2</sub>膜パターン225をマスクとしたドライエッチングにより第1の導波路メサストライプパターン212Mを形成する。図39(A)の例では、前記第1の導波路メサストライプパターン212MはY字型に分岐した形状を有する。

【0119】次に図39(B)の工程において図39(A)の構造上に、MOVPE法によりFeドープInP埋込層226を、前記SiO<sub>2</sub>膜パターン225を選択成長マスクに、前記第1の導波路メサストライプパターン221Mを埋込むように成長する。図39(B)の工程では、前記FeドープInP層226の厚さを、最も低い表面部分でも前記第1の導波路メサストライプパターン221M上部より高くなるように設定する。

【0120】次に図39(C)の工程において、図39(B)の構造に対して塩酸と酢酸と水の混合液よりなるエッチャントを使ったウェットエッチングを適用し、前記InP層226の表面を平坦化する。

【0121】さらに図40(D)の工程において、前記SiO<sub>2</sub>膜225を弗化水素酸と過酸化水素水の混合液でエッチング除去し、さらに図40(E)の工程において図40(D)の構造上にInPクラッド層227とInGaAsP/InGaAsP多重量子井戸層228とInPクラッド層229とを順次積層する。さらに前記InPクラッド層229上に形成されたSiO<sub>2</sub>膜パターン230をマスクとしたドライエッチングにより、前記InP層226上に第2の導波路メサストライプ227Mを形成する。

【0122】次に図41(F)の工程において図40(E)の構造上にMOVPE法により、FeドープInP埋込層231を、前記SiO<sub>2</sub>パターン230を選択成長マスクとして使い、形成する。その際、前記FeドープInP層231は、最も低い表面部分でも前記導波路メサストライプパターン227M上部より高くなるような厚さに形成される。

【0123】さらに図41(G)の工程で図41(F)の構造に対して塩酸と酢酸と水の混合液よりなるエッチャントを使ったウェットエッチングを適用し、前記FeドープIn層231を平坦化する。最後に、前記SiO<sub>2</sub>膜パターン230を弗化水素酸と過酸化水素水の混合液でエッチング除去することにより、2層構造の光導波路が得られる。

【0124】光導波路を多層積層する場合には、各層の形成後に表面が平坦であることが必要であるが、本実施例ではInP層226あるいは231の厚さを制御するとともに、これらの層の最も低い表面部分に合わせて平坦化を行う。研磨による平坦化では、このような層厚の制

御はできない。

【0125】以上説明した各実施例では、エッチャントとして塩酸と酢酸と水の混合液を使う例を説明した。本発明のエッチャントによる平坦化は、エッチャントの組成を塩酸:酢酸:水=1:X:Yで表した場合、濃度パラメータXが0~20の範囲で、また濃度パラメータYが任意の範囲で有効である。また本発明のエッチャントとして塩酸と酢酸と過酸化水素水と水の混合液を使った場合、エッチャント組成を塩酸:酢酸:過酸化水素水:水=1:X:Y:Zで表した場合、濃度パラメータXが0~20の範囲で、また濃度パラメータYが0~0.3の範囲で、また濃度パラメータZが任意範囲で同様の効果が得られる。

【0126】本発明は成長後のInP層の段差形状に対する異方性エッチングによる平坦化をその原理としているため、本発明の適用範囲は光半導体デバイスだけでなく、InPを材料とする半導体デバイス全般に対して適用可能である。

【0127】

【発明の効果】本発明によれば、結晶成長に伴いInP層に生じた段差形状を、塩酸と酢酸を含むエッチャントを使ったウェットエッチングにより平坦化することが可能であり、しかも形成される平坦化面の位置を、かかる段差形状の最も低い表面部分に一致させることができる。

【図面の簡単な説明】

【図1】(A)~(D)は、関連技術により埋込ヘテロ構造を有するレーザダイオードの製造工程を示す図である。

【図2】図1の工程に伴う問題点を説明する図である。

【図3】(A)、(B)は関連技術による光導波路の形成工程を示す図である。

【図4】図3の問題点を説明する図である。

【図5】(A)~(D)は、別の関連技術によるレーザダイオードの製造工程およびその問題点を説明する図である。

【図6】本発明の原理を説明する図である。

【図7】本発明の原理を説明する別の図である。

【図8】本発明の原理を説明するさらに別の図である。

【図9】(A)、(B)は本発明の原理を説明するさらに別の図である。

【図10】(A)、(B)は本発明の原理を説明するさらに別の図である。

【図11】(A)、(B)は本発明の原理を説明するさらに別の図である。

【図12】(A)、(B)は本発明の原理を説明するさらに別の図である。

【図13】(A)、(B)は本発明の原理を説明するさらに別の図である。

【図14】(A)、(B)は本発明の原理を説明するさ

らに別の図である。

【図15】(A), (B)は本発明の原理を説明するさらに別の図である。

【図16】(A), (B)は本発明の原理を説明するさらに別の図である。

【図17】(A)～(C)は本発明の第1実施例によるレーザダイオードの製造工程を示す図(その1)である。

【図18】(D)～(E)は本発明の第1実施例によるレーザダイオードの製造工程を示す図(その2)である。

【図19】(A)～(C)は本発明の第2実施例によるレーザダイオードの製造工程を示す図である。

【図20】(A)～(C)は本発明の第3実施例によるレーザダイオードの製造工程を示す図(その1)である。

【図21】(D)～(F)は本発明の第3実施例によるレーザダイオードの製造工程を示す図(その2)である。

【図22】(A)～(D)は本発明の第4実施例によるレーザダイオードの製造工程を示す図(その1)である。

【図23】(E)～(G)は本発明の第4実施例によるレーザダイオードの製造工程を示す図(その2)である。

【図24】(A)～(C)は本発明の第5実施例によるレーザダイオードの製造工程を示す図(その1)である。

【図25】(D)～(F)は本発明の第5実施例によるレーザダイオードの製造工程を示す図(その2)である。

【図26】(G)は本発明の第5実施例によるレーザダイオードの製造工程を示す図(その3)である。

【図27】(A)～(C)は本発明の第6実施例によるレーザダイオードの製造工程を示す図(その1)である。

【図28】(D)は本発明の第6実施例によるレーザダイオードの製造工程を示す図(その2)である。

【図29】(A)～(C)は本発明の第7実施例によるレーザダイオードの製造工程を示す図(その1)である。

【図30】(D)～(E)は本発明の第7実施例によるレーザダイオードの製造工程を示す図(その2)である。

【図31】(A)～(C)は本発明の第8実施例によるレーザダイオードの製造工程を示す図(その1)である。

【図32】(D)～(F)は本発明の第8実施例によるレーザダイオードの製造工程を示す図(その2)である。

【図33】(A)～(C)は本発明の第9実施例による光導波路の製造工程を示す図(その1)である。

【図34】(D)～(E)は本発明の第9実施例による光導波路の製造工程を示す図(その2)である。

【図35】(A)～(C)は本発明の第10実施例による光導波路の製造工程を示す図(その1)である。

【図36】(A)～(C)は本発明の第11実施例による半導体装置の製造工程を示す図である。

【図37】(A)～(C)は本発明の第12実施例による半導体装置の製造工程を示す図(その1)である。

【図38】(D)～(E)は本発明の第12実施例による半導体装置の製造工程を示す図(その2)である。

【図39】(A)～(C)は本発明の第13実施例による多層光導波路の製造工程を示す図(その1)である。

【図40】(D)～(E)は本発明の第13実施例による多層光導波路の製造工程を示す図(その2)である。

【図41】(F)～(G)は本発明の第13実施例による多層光導波路の製造工程を示す図(その3)である。

#### 【符号の説明】

10 レーザダイオード

11, 21, 31, 41, 51, 61, 71, 81 I

nP基板

12 多層量子井戸活性層

13 InPクラッド層

14 InGaAsコンタクト層

15, 22, 33, 42, 52, 72, 82 SiO<sub>2</sub>

マスク

16A, 16B, 23, 32A, 32B, 43A, 43

B, 53A, 53B, 73A, 73B InP埋込層

16a, 16b 盛り上がり部

17, 18 電極

17a 電極途切れ

23A オーバーハング部

23B, 32a, 32b 空洞

24, 34, 53, 62, 83 InP再成長層

31M, 41M, 51M, 61M, 71M, 81M メ  
サ構造

101, 111, 121 InP基板

101M, 111M, 123M メサストライプ

102, 112, 122 多重量子井戸層

103, 113, 123 InPクラッド層

104, 114, 124 InGaAsコンタクト層

105, 115, 125 SiO<sub>2</sub> マスク

106, 106<sub>1</sub>, 106<sub>2</sub>, 116<sub>1</sub>, 116<sub>2</sub> InP  
埋込層

106a, 106b 盛り上がり

107, 108 電極

117, 117A, 117B, 126 n型InP層

118, 118A, 118B, 127 p型InP層

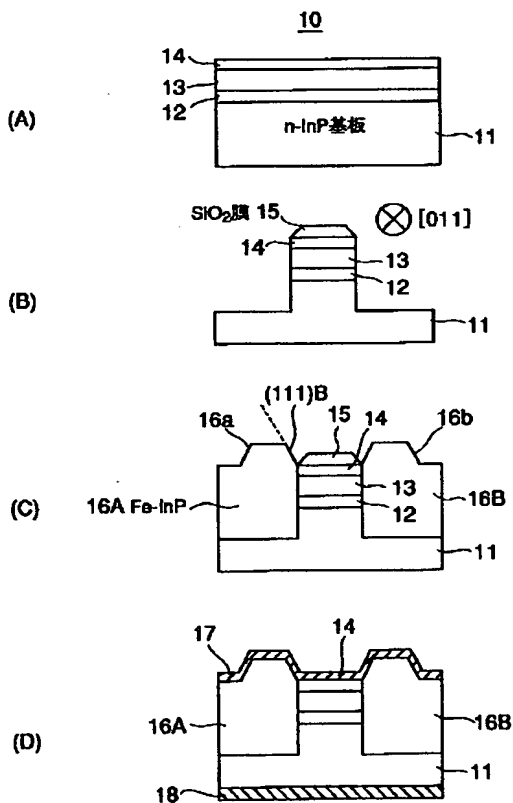
119 InPクラッド層

120, 124 InGaAsコンタクト層  
 123M リッジストライプ  
 201 InP基板  
 201M メサストライプ  
 202 多重量子井戸層  
 203 InPクラッド層  
 204 InGaAs層  
 205 SiO<sub>2</sub> マスク  
 206, 226, 231 InP埋込層

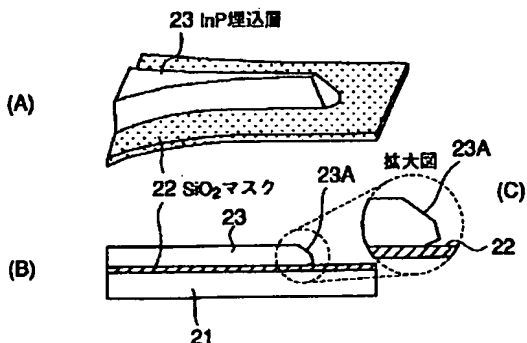
207 InP再成長層  
 211, 221 InP基板  
 221M 第1層光導波路パターン  
 212, 225, 230 SiO<sub>2</sub> 膜  
 213, 215, 223, 227, 229 InPクラッド層  
 214, 222, 228 多重量子井戸層  
 224 GaInAs層

【図1】

(A)~(D)は、関連技術による埋込ヘテロ構造を有するレーザダイオードの製造工程を示す図

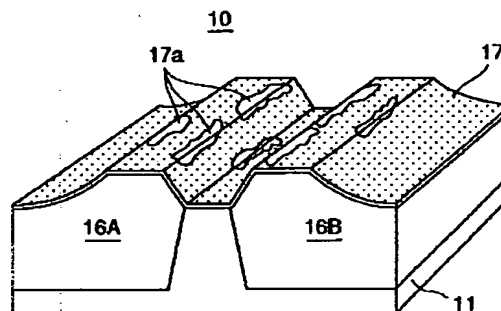


【図3】



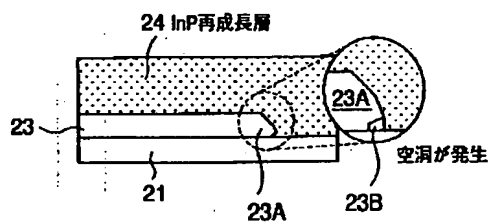
【図2】

図1の工程に伴う問題点を説明する図



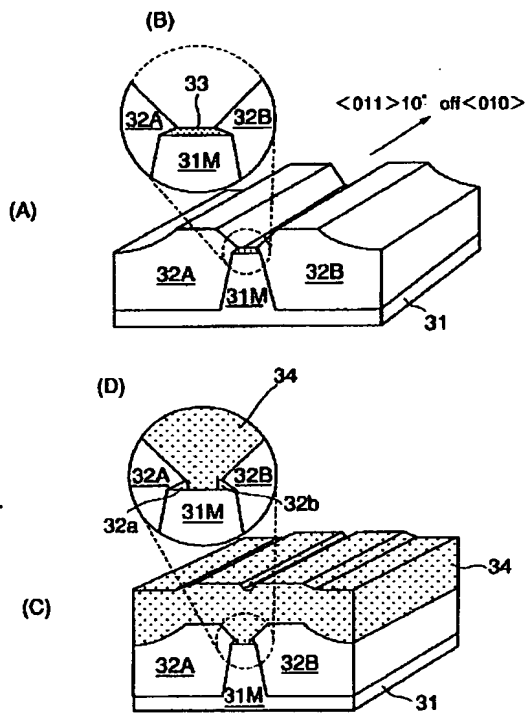
【図4】

図3の問題点を説明する図

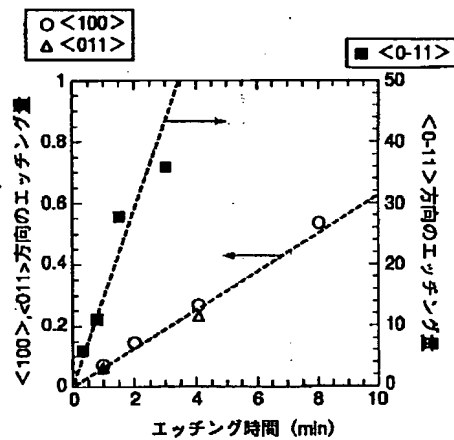


【図5】

(A)～(D)は、別の関連技術によるレーザダイオードの製造工程およびその問題点を説明する図

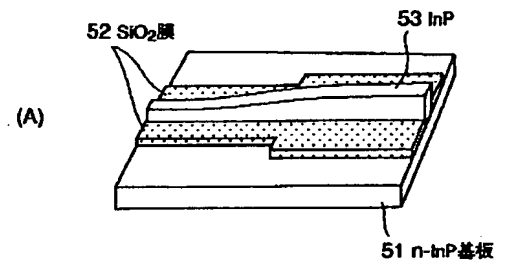


【図6】



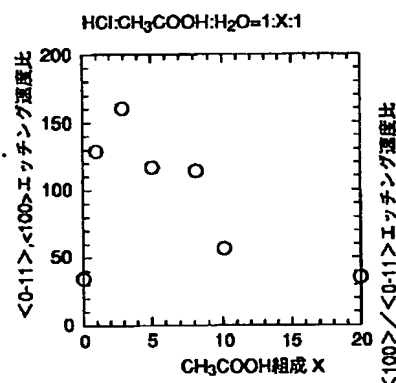
【図10】

(A),(B)は本発明の原理を説明するさらに別の図



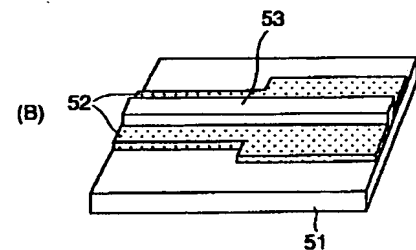
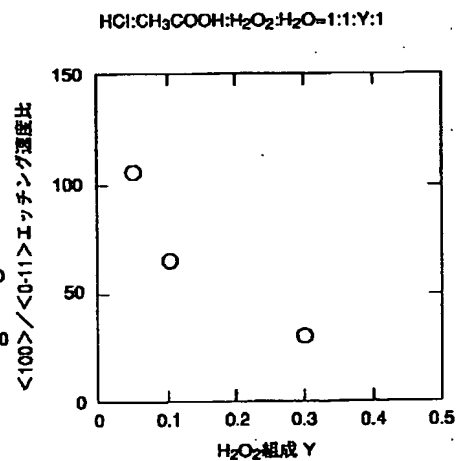
【図7】

本発明の原理を説明する別の図



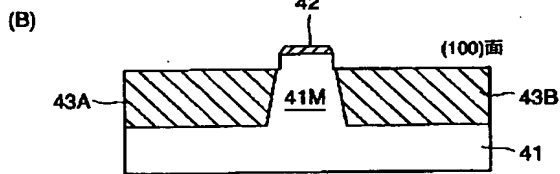
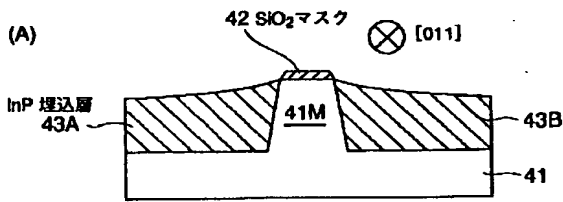
【図8】

本発明の原理を説明するさらに別の図



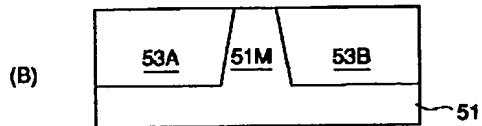
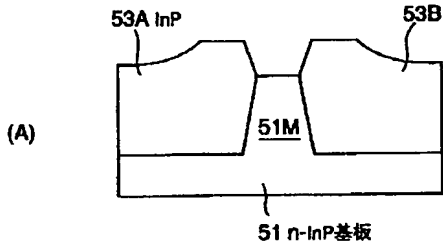
【図9】

(A),(B)は本発明の原理を説明するさらに別の図



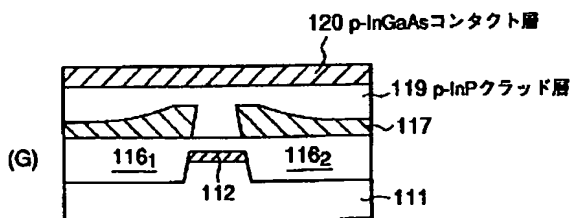
【図12】

(A),(B)は本発明の原理を説明するさらに別の図



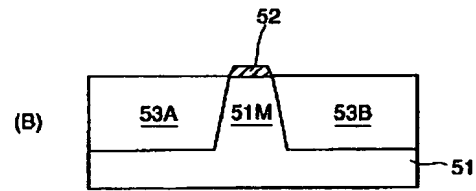
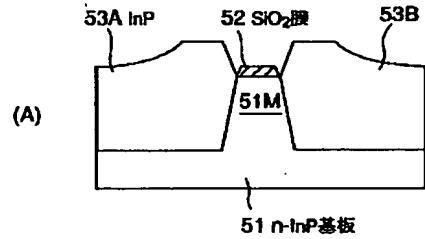
【図26】

(G)は本発明の第5実施例によるレーザダイオードの製造工程を示す図（その3）



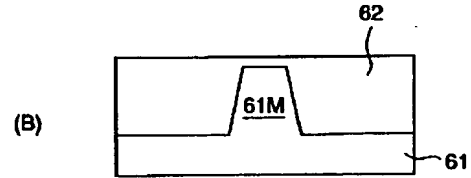
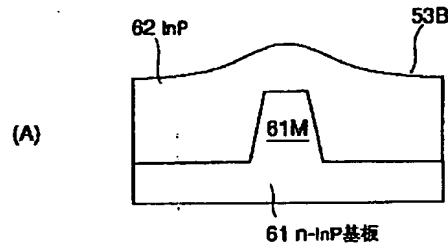
【図11】

(A),(B)は本発明の原理を説明するさらに別の図



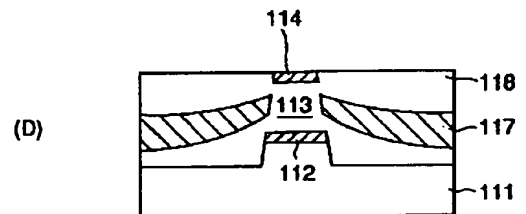
【図13】

(A),(B)は本発明の原理を説明するさらに別の図



【図28】

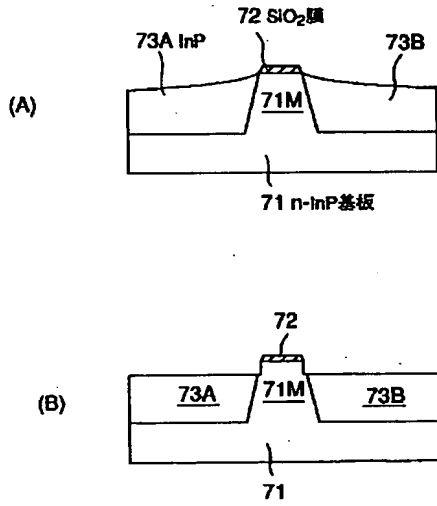
(D)は本発明の第6実施例によるレーザダイオードの製造工程を示す図（その2）





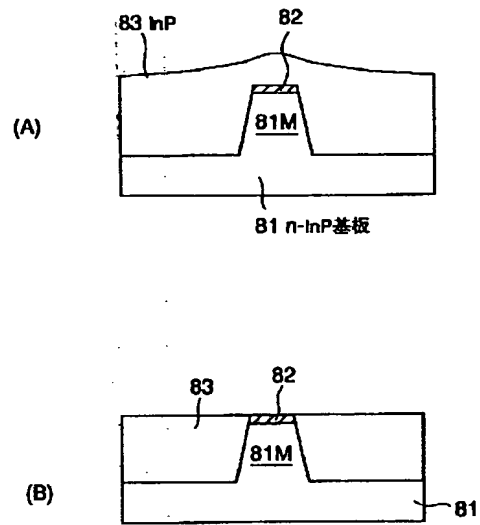
【図14】

(A),(B)は本発明の原理を説明するさらに別の図



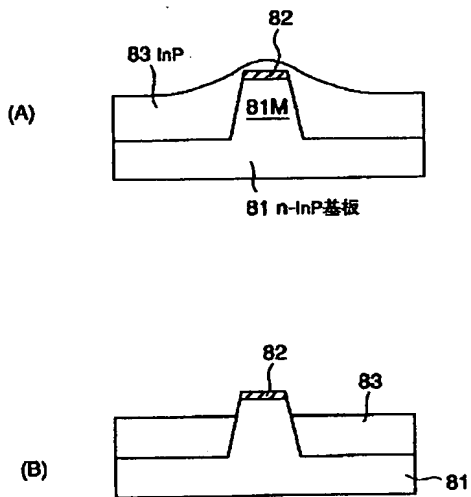
【図15】

(A),(B)は本発明の原理を説明するさらに別の図



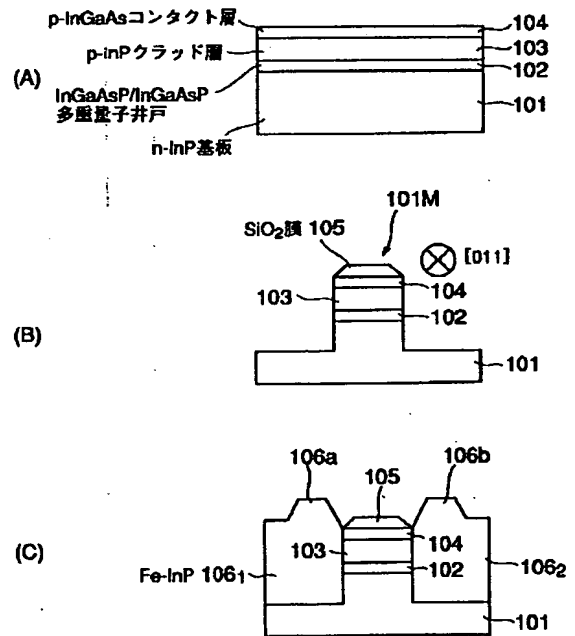
【図16】

(A),(B)は本発明の原理を説明するさらに別の図



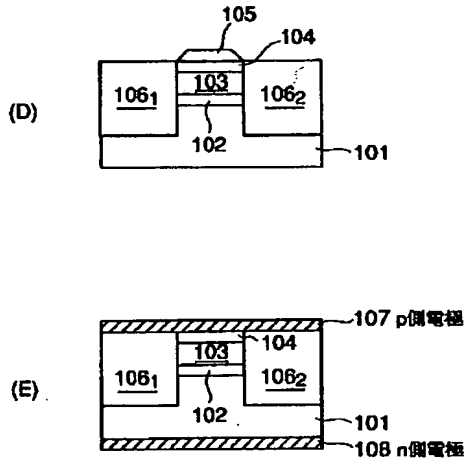
【図17】

(A)~(C)は本発明の第1実施例によるレーザダイオードの製造工程を示す図 (その1)



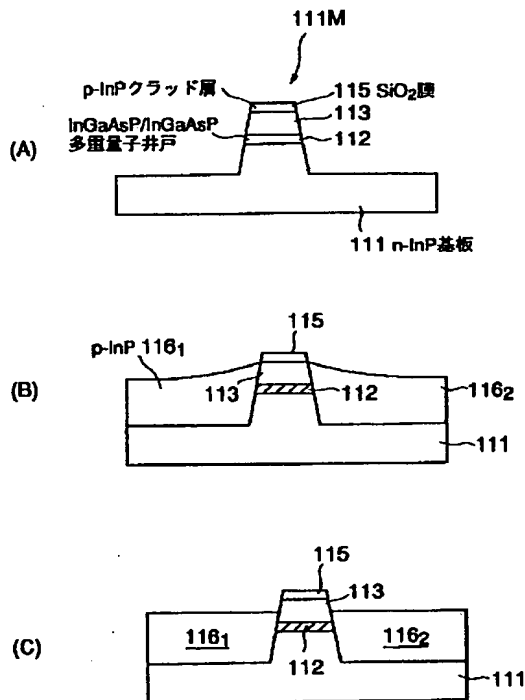
【図18】

(D)~(E)は本発明の第1実施例によるレーザダイオードの製造工程を示す図（その2）



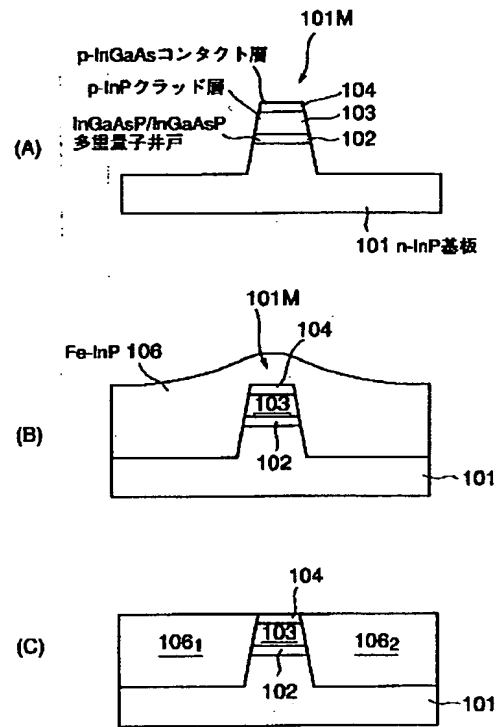
【図20】

(A)~(C)は本発明の第3実施例によるレーザダイオードの製造工程を示す図（その1）



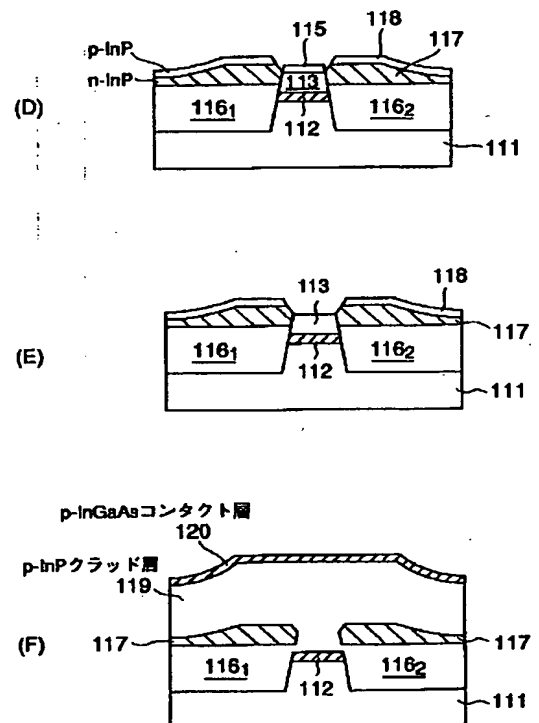
【図19】

(A)~(C)は本発明の第2実施例によるレーザダイオードの製造工程を示す図



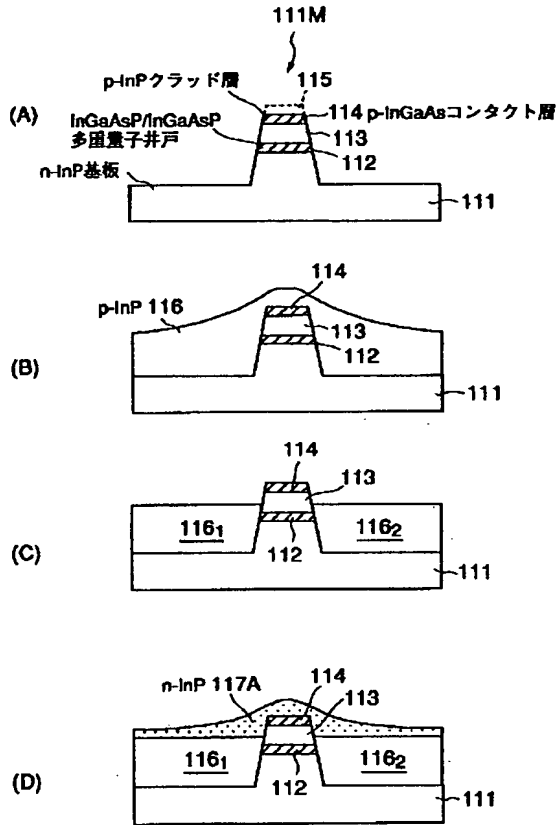
【図21】

(D)~(F)は本発明の第3実施例によるレーザダイオードの製造工程を示す図（その2）



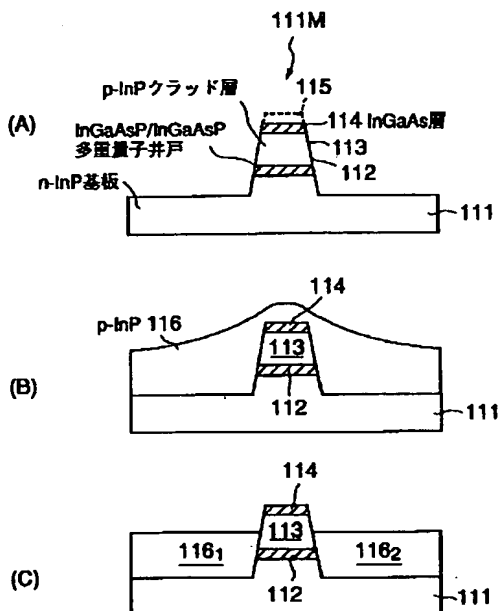
【図22】

(A)～(D)は本発明の第4実施例によるレーザダイオードの製造工程を示す図（その1）



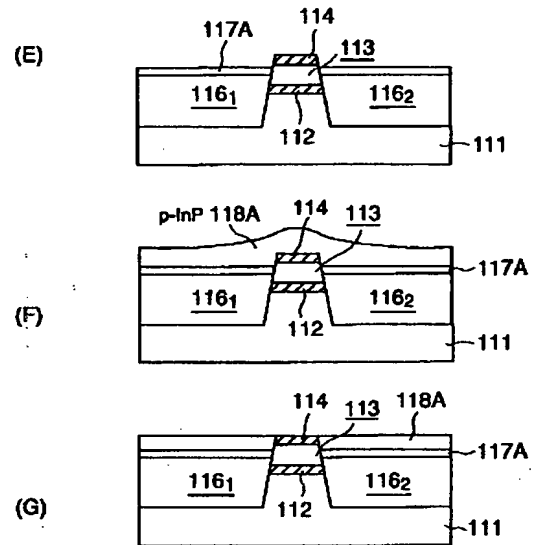
【図24】

(A)～(C)は本発明の第5実施例によるレーザダイオードの製造工程を示す図（その1）



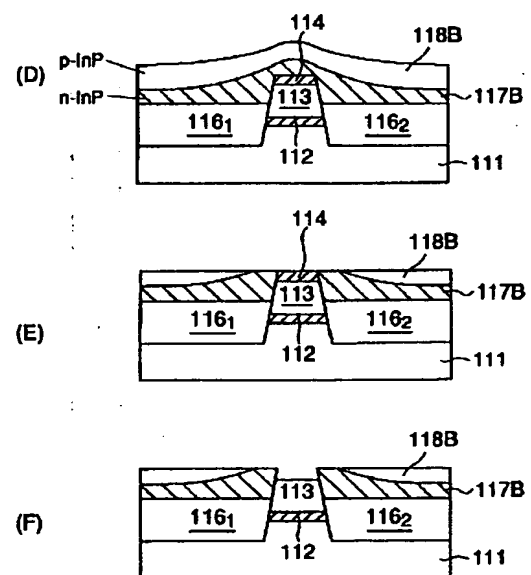
【図23】

(E)～(G)は本発明の第4実施例によるレーザダイオードの製造工程を示す図（その2）



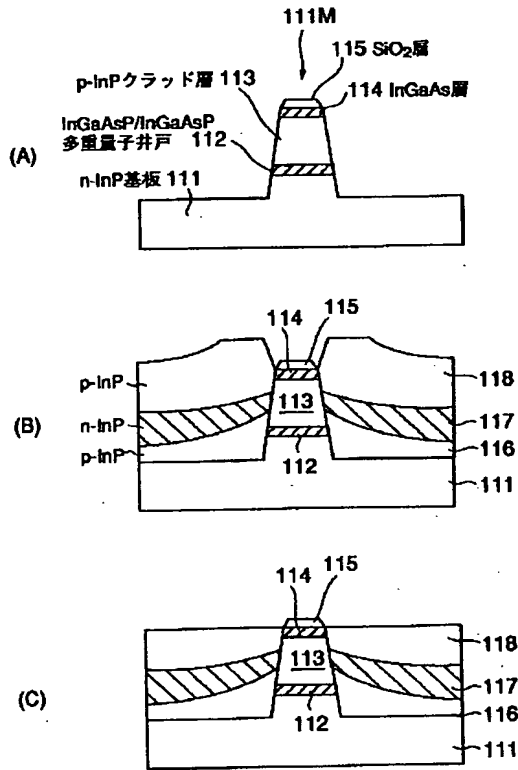
【図25】

(D)～(F)は本発明の第5実施例によるレーザダイオードの製造工程を示す図（その2）



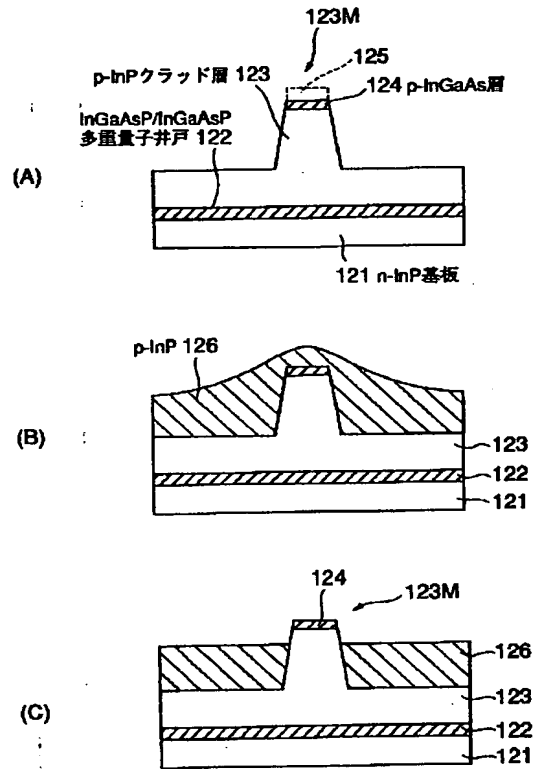
【図27】

(A)~(C)は本発明の第6実施例によるレーザダイオードの製造工程を示す図（その1）



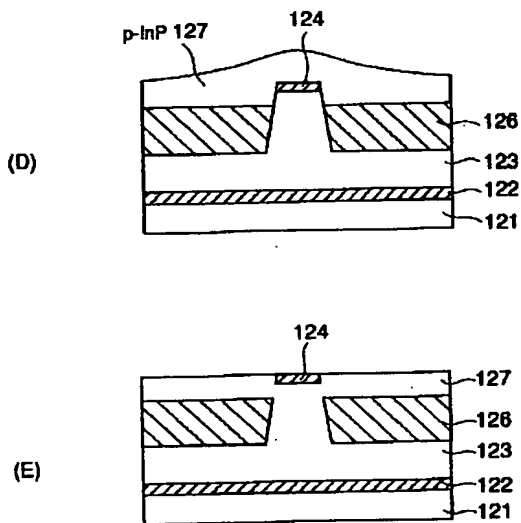
【図29】

(A)~(C)は本発明の第7実施例によるレーザダイオードの製造工程を示す図（その1）



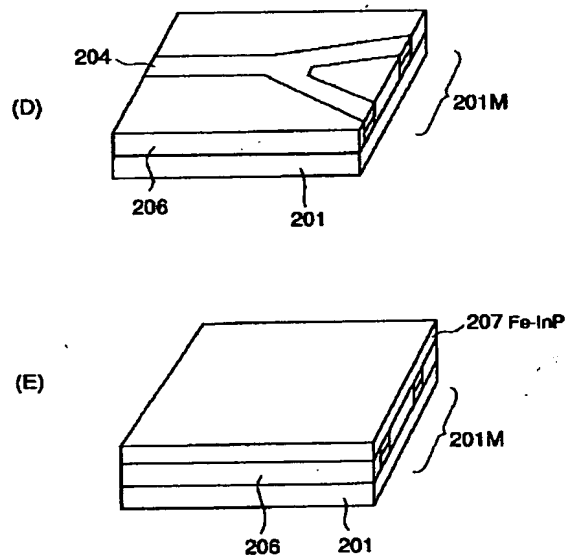
【図30】

(D)~(E)は本発明の第7実施例によるレーザダイオードの製造工程を示す図（その2）



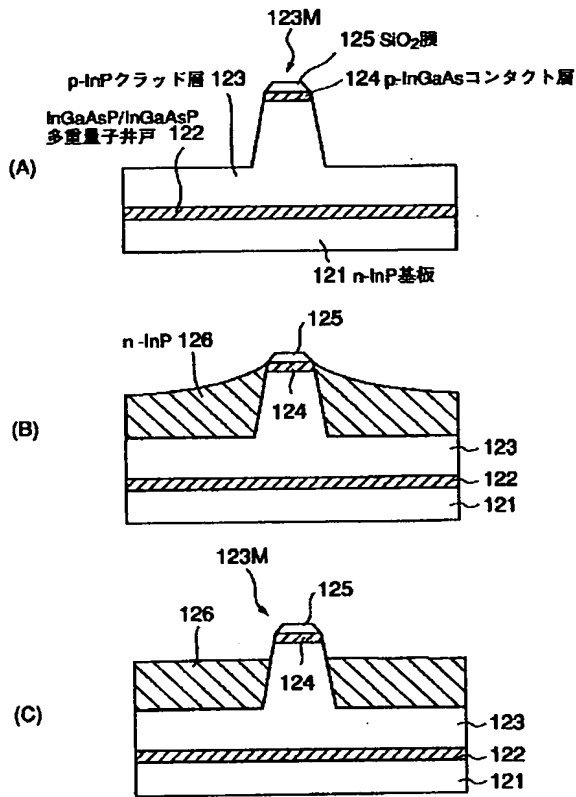
【図34】

(D)~(E)は本発明の第9実施例によるレーザダイオードの製造工程を示す図（その2）



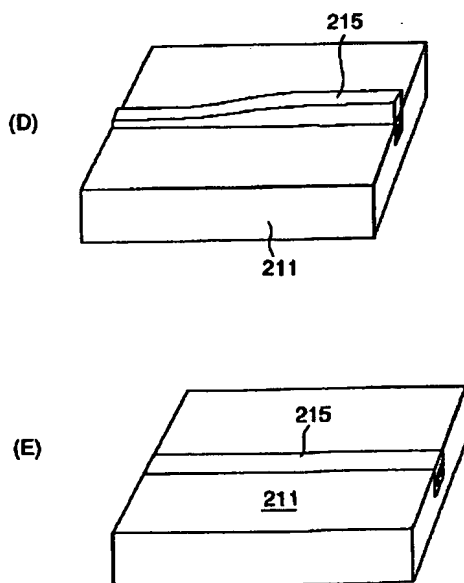
【図31】

(A)～(D)は本発明の第8実施例によるレーザダイオードの製造工程を示す図（その2）



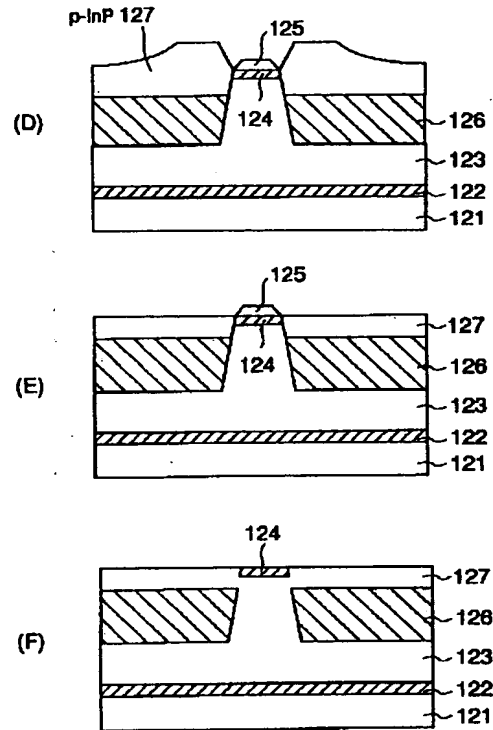
【図38】

(D)～(E)は本発明の第12実施例によるレーザダイオードの製造工程を示す図（その2）



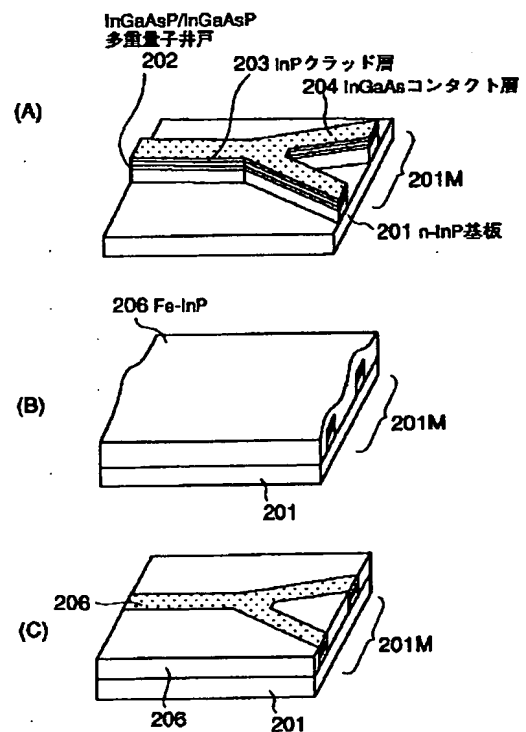
【図32】

(D)～(F)は本発明の第8実施例によるレーザダイオードの製造工程を示す図（その2）



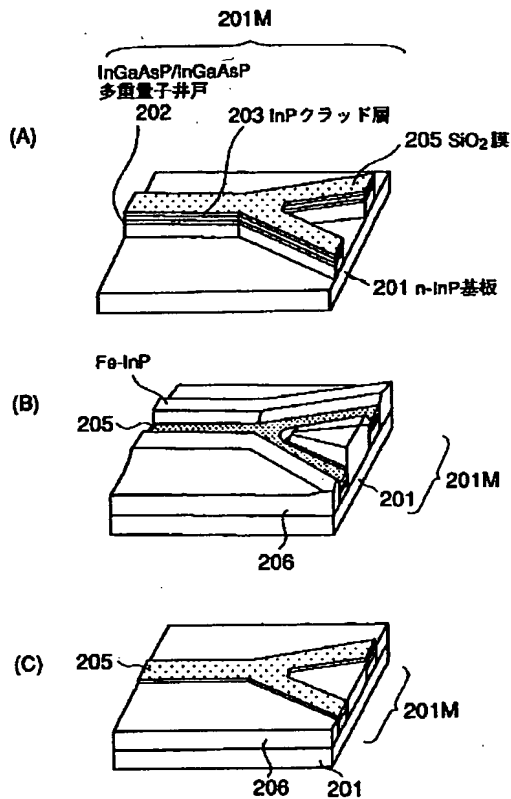
【図35】

(A)～(C)は本発明の第10実施例によるレーザダイオードの製造工程を示す図（その1）



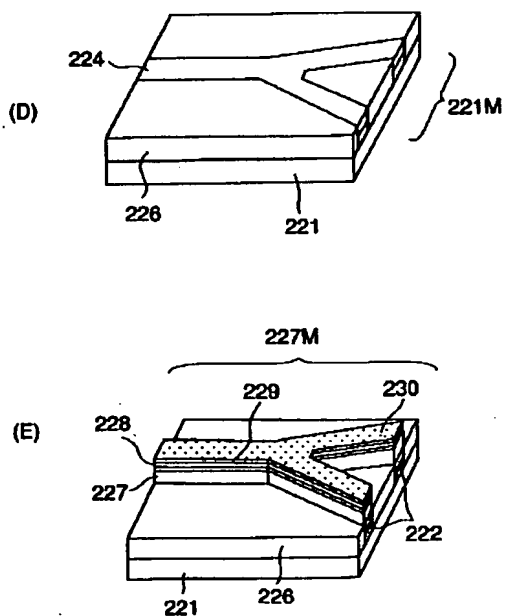
【図33】

(A)~(C)は本発明の第9実施例によるレーザダイオードの製造工程を示す図（その1）



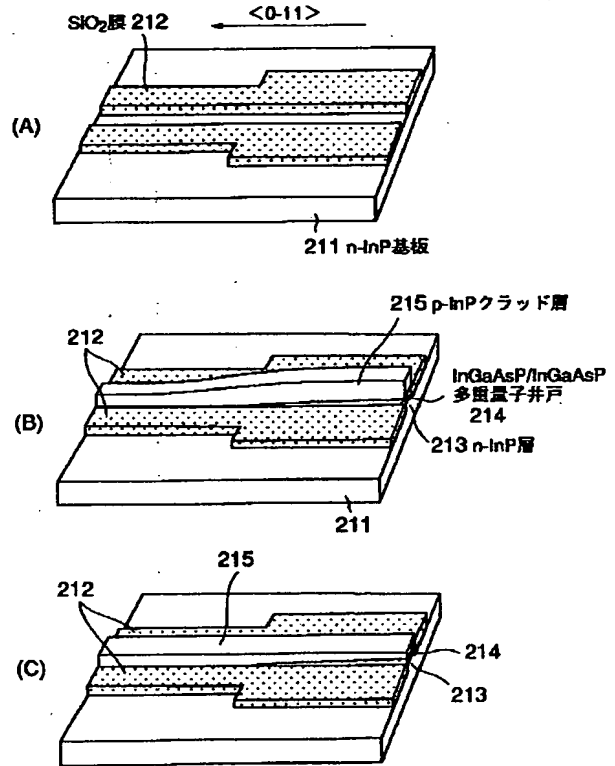
【図40】

(D)~(E)は本発明の第13実施例によるレーザダイオードの製造工程を示す図（その2）



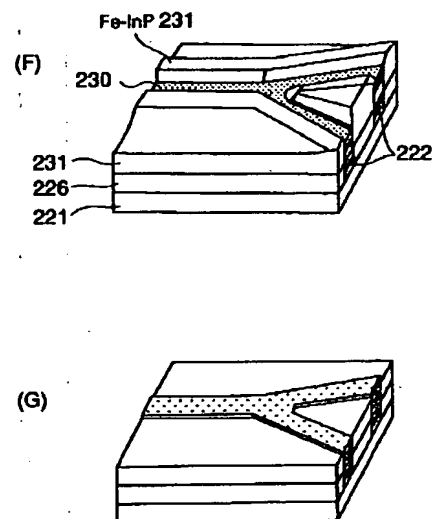
【図36】

(A)~(C)は本発明の第11実施例によるレーザダイオードの製造工程を示す図



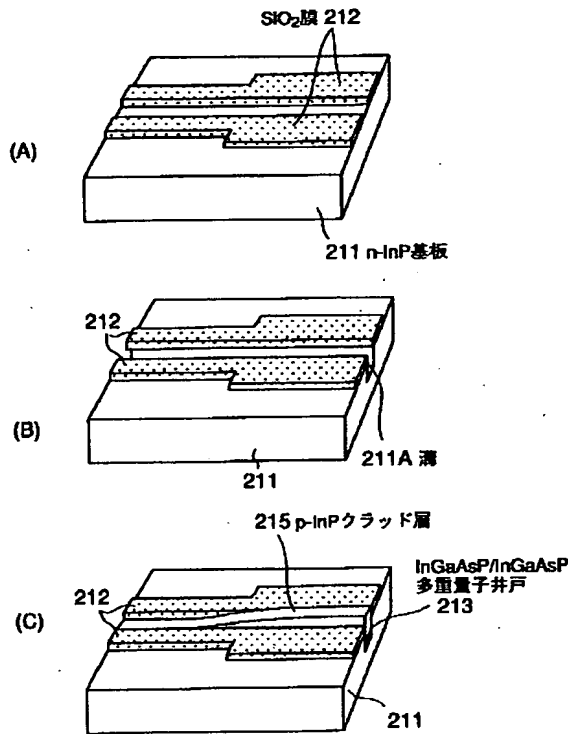
【図41】

(F)~(G)は本発明の第13実施例によるレーザダイオードの製造工程を示す図（その3）



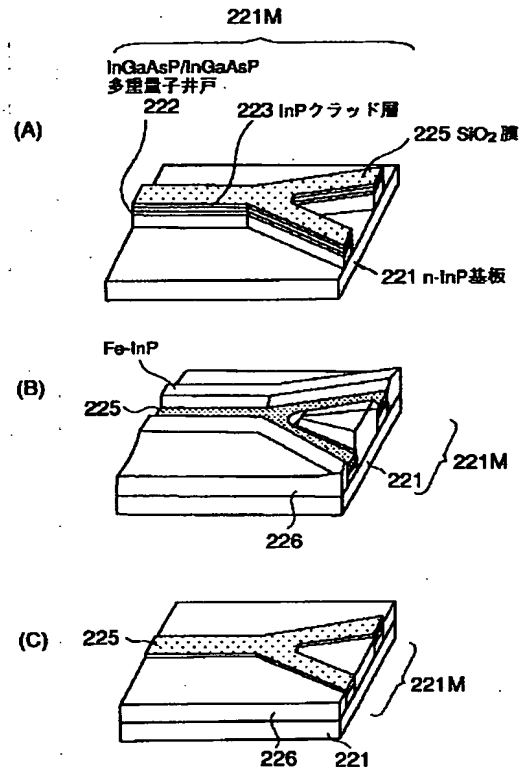
【図37】

(A)~(C)は本発明の第12実施例によるレーザダイオードの製造工程を示す図（その1）



【図39】

(A)~(C)は本発明の第13実施例によるレーザダイオードの製造工程を示す図（その1）



【提出日】平成14年1月25日（2002. 1. 25）

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】先に説明したように図1(D)の工程ではp側電極17かかる段差表面上に形成することになるが、前記p側電極17をTi膜、Pt膜およびAu膜のスパッタリングにより順次形成した場合、Ti膜およびPt膜はそれぞれ0.1μm程度の厚さしかないので、図2に示したように、下地形状の段差を反映して凹凸部分17aで電極層が途切れる問題が生じる。かかる電極の途切れが生じると電流注入が不均一になり、デバイスの電氣的劣化を引き起こす。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0110

【補正方法】変更

【補正内容】

【0110】図36(A)を参照するに、n型InP基板211の表面に<0-11>方向に延在する基板領域を露出するSiO<sub>2</sub>膜パターン212が、前記<0-11>方向に沿って幅が変化するように形成されている。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0111

【補正方法】変更

【補正内容】

【0111】次に図36(B)の工程において前記InP基板211上に前記SiO<sub>2</sub>膜パターン212をマスクとしたMOVPE法によりn型InP層213とInGaAsP/InGaAsP多重量子井戸層214とp型InPクラッド層215とを順次堆積する。かかるSiO<sub>2</sub>膜パターン212をマスクとした気相成長では、半導体層の成長が生じないSiO<sub>2</sub>膜パターン212上で原料濃度が増加し、その結果SiO<sub>2</sub>膜パターン212が途切れている前記<0-11>方向に延在する基板領域に原料が過剰に供給される。かかる原料の過剰供給は、SiO<sub>2</sub>膜の被覆率、すなわち前記SiO<sub>2</sub>膜パターン212の幅に依存し、前記幅が広いほど過剰供給され

る原料が増加し、半導体層213から215の厚さが増加する。前記SiO<sub>2</sub>膜パターン212の幅は<0-11>方向に沿って変化するため、前記<0-11>方向に前記半導体層213～215の厚さが増加する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0123

【補正方法】変更

【補正内容】

【0123】さらに図41(G)の工程で図41(F)の構造に対して塩酸と酢酸と水の混合液よりなるエッチャントを使ったウェットエッチングを適用し、前記FeドープInP層231を平坦化する。最後に、前記SiO<sub>2</sub>膜パターン230を弗化水素酸と過酷化水素水の混合液でエッチング除去することにより、2層構造の光導波路が得られる。

---

フロントページの続き

(72)発明者 藤井 卓也

山梨県中巨摩郡昭和町大字紙漉阿原1000番  
地 富士通量子デバイス株式会社内

Fターム(参考) 2H047 KA04 MA07 PA21 PA24 QA02  
TA00  
5F043 AA15 BB08 FF05 FF07  
5F073 AA22 AA74 BA01 CA12 CB02  
DA23 DA24